


**SRAM memory structure and manufacturing method thereof.**

Patent Number: ☐ EP0610927, A3, B1  
Publication date: 1994-08-17  
Inventor(s): KOHNO YOSHIO C O MITSUBISHI DE (JP); KURIYAMA HIROTADA C O MITSUBIS (JP); MAKI YUKIO C O MITSUBISHI DENK (JP)  
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)  
Requested Patent: ☐ JP6295999  
Application Number: EP19940102049 19940210  
Priority Number (s): JP19930023033 19930210; JP19930307838 19931208  
IPC Classification: H01L27/11; H01L21/82  
EC Classification: H01L27/11F2, H01L21/8244  
Equivalents: DE69418357D, DE69418357T, DE69428379D, JP3236720B2, KR123264, ☐ US5384731

**Abstract**

The invention provides an SRAM memory cell structure permitting increase of integration density while maintaining operation stability. A memory cell in the SRAM includes a pair of access transistors (Q3, Q4), a pair of driver transistors (Q1, Q2), and a pair of load transistors Q5, Q6. The gate insulating film of access transistor (Q3, Q4) is formed of a single layer of silicon oxide film (27c), while the gate insulating film of driver transistor (Q1, Q2) is formed of a stacked layer formed of a silicon oxide film (27a) and a silicon nitride film (27b). The pair of load transistors (Q5, Q6) are formed of two layers of polycrystalline silicon layers (41, 42) stacked upon each other with an insulating film therebetween. A source region (41b, 42b) and a drain region (41a, 42a) are formed in each of polycrystalline silicon layers (41, 42) with each channel region (41c, 42c) therebetween. One drain region (41a) forms a gate opposite to the other channel region (42c), while the other drain region (42a) forms a gate opposite to the one channel region (41c). 

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-295999

(43)公開日 平成6年(1994)10月21日

(51)Int.Cl.<sup>5</sup>

H01L 27/11  
21/3205  
29/784

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H01L 27/10

381

7514-4M

21/88

P

審査請求 未請求 請求項の数10 O L (全 30 頁) 最終頁に続く

(21)出願番号 特願平5-307838

(22)出願日 平成5年(1993)12月8日

(31)優先権主張番号 特願平5-23033

(32)優先日 平5(1993)2月10日

(33)優先権主張国 日本(JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 栗山 祐忠

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

(72)発明者 牧 幸生

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

(74)代理人 弁理士 深見 久郎 (外3名)

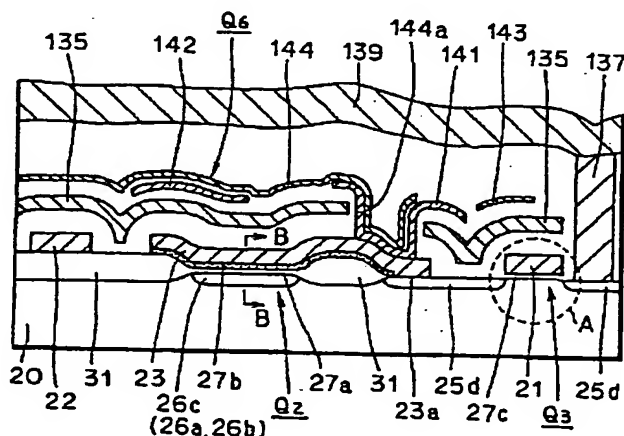
最終頁に続く

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【目的】 動作の安定性を維持したまま、集積度の向上を図ることのできるSRAMのメモリセル構造を提供する。

【構成】 SRAMのメモリセルは一对のアクセストランジスタ $Q_1$ 、 $Q_4$ と、一对のドライバトランジスタ $Q_2$ 、 $Q_3$ および一对の負荷トランジスタ $Q_5$ 、 $Q_6$ から構成される。アクセストランジスタ $Q_1$ 、 $Q_4$ のゲート絶縁膜はシリコン酸化膜27c単層よりなり、ドライバトランジスタ $Q_2$ 、 $Q_3$ のゲート絶縁膜はシリコン酸化膜27aとシリコン窒化膜27bとが積層されてなる。



21, 23: ゲート電極  
25d: ソース/ドレイン領域  
26a: フレイン領域  
26b: ソース領域

27a, 27c: シリコン酸化膜  
27b: シリコン窒化膜  
Q2: ドライバトランジスタ  
Q3: アフビストランジスタ

## 【特許請求の範囲】

【請求項 1】 フリップフロップ回路を構成する一対の第 1 導電型の駆動用トランジスタおよび一対の第 2 導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面上に形成された前記ドライバトランジスタの各々を形成する第 1 の電界効果トランジスタと、

前記半導体基板の主表面上に形成された前記アクセストランジスタの各々を形成する第 2 の電界効果トランジスタとを備え、

前記第 1 の電界効果トランジスタは、

前記半導体基板の主表面上に形成され、第 1 の誘電率を有する第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極とを含み、

前記第 2 の電界効果トランジスタは、

前記半導体基板の主表面上に形成され、第 1 の誘電率よりも小さい第 2 の誘電率を有する第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極とを含む、半導体記憶装置。

【請求項 2】 フリップフロップ回路を構成する一対の第 1 導電型の駆動用トランジスタおよび一対の第 2 導電型の負荷トランジスタと、一対のアクセストランジスタとを有し、前記駆動用トランジスタと前記アクセストランジスタとは半導体基板の主表面上に形成された電界効果トランジスタから構成され、前記負荷トランジスタは前記電界効果トランジスタの上に形成された第 1 および第 2 の薄膜トランジスタから構成されるスタティック型メモリセルを含む半導体記憶装置であって、

前記半導体基板の上方に形成され、かつ第 1 の方向に延びる第 1 の帯状部分と第 2 の方向に延びる第 2 の帯状部分とを有する第 1 の半導体層と、

前記第 1 の半導体層の上に形成され、かつ前記第 2 の方向と交差する第 3 の方向に延びる第 3 の帯状部分と前記第 1 の方向と交差する第 4 の方向に延びる第 4 の帯状部分とを有する第 2 の半導体層と、

前記第 1 の帯状部分に形成され、かつ前記第 4 の帯状部分と対向する第 1 のチャンネル領域を規定するように互いに間隔を有して前記第 1 の薄膜トランジスタを構成する第 1 のソースおよびドレイン領域と、

前記第 3 の帯状部分に形成され、かつ前記第 2 の帯状部分と対向する第 2 のチャンネル領域を規定するように互いに間隔を有して前記第 2 の薄膜トランジスタを構成する第 2 のソースおよびドレイン領域と、

前記第 4 の帯状部分と前記第 1 のチャンネル領域との間に

前記第 2 の帯状部分と前記第 2 のチャンネル領域との間に形成された第 2 のゲート絶縁膜とを備え、

前記第 1 の半導体層と前記第 2 の半導体層とは、前記第 1 の帯状部分と前記第 4 の帯状部分との間、前記第 2 の帯状部分と前記第 3 の帯状部分との間で重なり合っている、半導体記憶装置。

【請求項 3】 前記第 1 のゲート絶縁膜と前記第 2 のゲート絶縁膜とは同一の層よりなっている、請求項 2 に記載の半導体記憶装置。

【請求項 4】 フリップフロップ回路を構成する一対の第 1 導電型の駆動用トランジスタおよび一対の第 2 導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面上に形成された前記ドライバトランジスタの各々を形成する第 1 の電界効果トランジスタと、

前記半導体基板の主表面上に形成された前記アクセストランジスタの各々を形成する第 2 の電界効果トランジスタとを備え、

前記第 1 の電界効果トランジスタは、前記半導体基板の主表面上に、互いに距離を隔てて形成された一対の第 1 のソースおよびドレイン領域を有し、

一対の前記第 1 のソースおよびドレイン領域に挟まれる前記半導体基板の第 1 のチャンネル領域は、第 1 の不純物濃度プロファイルを有し、その第 1 の不純物濃度プロファイルは、前記主表面から第 1 の深さ位置に不純物濃度ピークを有しており、

前記第 2 の電界効果トランジスタは、前記半導体基板の主表面上に互いに距離を隔てて形成された一対の第 2 のソースおよびドレイン領域を有し、

一対の前記第 2 のソースおよびドレイン領域に挟まれる前記半導体基板の第 2 のチャンネル領域は第 2 の不純物濃度プロファイルを有し、その第 2 の不純物濃度プロファイルは前記主表面から前記第 1 の深さ位置よりも浅い第 2 の深さ位置に不純物濃度ピークを有しており、

前記第 2 の深さ位置よりも深い位置では、前記第 1 の不純物濃度プロファイルは前記第 2 の不純物濃度プロファイルよりも高い濃度値を示している、半導体記憶装置。

【請求項 5】 フリップフロップ回路を構成する一対の第 1 導電型の駆動用トランジスタおよび一対の第 2 導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面上に形成された前記ドライバトランジスタの各々を形成する第 1 の電界効果トランジスタと、

ンジスタの各々を形成する第2の電界効果トランジスタとを備え、

前記第1の電界効果トランジスタは、前記半導体基板の主表面に、互いに距離を隔てて形成された一对の第1のソースおよびドレイン領域を有し、

一对の前記第1のソースおよびドレイン領域に挟まれる前記半導体基板の第1のチャネル領域は第1の不純物濃度プロファイルを有し、その第1の不純物濃度プロファイルは前記主表面から第1の深さ位置に不純物濃度ピークを有しており、

前記第2の電界効果トランジスタは、前記半導体基板の主表面に互いに距離を隔てて形成された一对の第2のソースおよびドレイン領域を有し、

一对の前記第2のソースおよびドレイン領域に挟まれる前記半導体基板の第2のチャネル領域は第2の不純物濃度プロファイルを有し、その第2の不純物濃度プロファイルは前記主表面から前記第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有しており、

前記主表面から、前記第1の深さ位置よりも深い第3の深さ位置までの前記第1の不純物濃度プロファイルによって定められる不純物量は、前記主表面から前記第3の深さ位置までの前記第2の不純物濃度プロファイルによって定められる不純物量よりも多い、半導体記憶装置。

【請求項6】 フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタおよび一对の第2導電型の負荷トランジスタと、一对のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面に形成された前記ドライバトランジスタの各々を形成する第1の電界効果トランジスタと、

前記半導体基板の主表面に形成された前記アクセストランジスタの各々を形成する第2の電界効果トランジスタとを備え、

前記第1の電界効果トランジスタは、

前記半導体基板の主表面上に形成され、第1の厚みと第1の誘電率とを有する第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極とを含み、

前記第2の電界効果トランジスタは、

前記半導体基板の主表面上に形成され、第2の厚みと第2の誘電率とを有する第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極とを含み、

前記第1の厚みに対する前記第1の誘電率の比は前記第2の厚みに対する前記第2の誘電率の比よりも大きい、半導体記憶装置。

【請求項7】 フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタと、一对の第2導電

型の負荷トランジスタと、一对のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置の製造方法であって、

半導体基板の主表面上に第1の誘電率を有する第1のゲート絶縁膜を形成する工程と、

前記半導体基板の主表面上に第1の誘電率よりも小さい第2の誘電率を有する第2のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に第1のゲート電極を形成する工程と、

前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程とを備え、

それによって、前記駆動用トランジスタの各々を構成する第1の電界効果トランジスタが前記第1のゲート絶縁膜と前記第1のゲート電極とを含むように形成され、かつ前記アクセストランジスタの各々を構成する第2の電界効果トランジスタが前記第2のゲート絶縁膜と前記第2のゲート電極とを含むように形成される、半導体記憶装置の製造方法。

【請求項8】 フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタおよび一对の第2導電型の負荷トランジスタと、一对のアクセストランジスタとを有し、前記駆動用トランジスタと前記アクセストランジスタとは半導体基板の主表面に形成された電界効果トランジスタから構成され、前記負荷トランジスタは前記電界効果トランジスタの上に形成された第1および第2の薄膜トランジスタから構成されるスタティック型メモリセルを含む半導体記憶装置の製造方法であって、前記半導体基板の上方に第1の方向に延びる第1の帯状部分と第2の方向に延びる第2の帯状部分とを有する第1の半導体層を形成する工程と、

前記第1の半導体層上に絶縁膜を形成する工程と、

前記第2の方向と交差する第3の方向に延びる第3の帯状部分と前記第1の方向と交差する第4の方向に延びる第4の帯状部分とを有する第2の半導体層を前記第3の帯状部分が前記第2の帯状部分と交差し、かつ前記第4の帯状部分が前記第1の帯状部分と交差するように前記絶縁膜上に形成する工程と、

前記第1の帯状部分の前記第4の帯状部分と交差する領域をチャネル領域として規定するように前記第1の帯状部分に互いに間隔を有して前記第1の薄膜トランジスタを構成する第1のソースおよびドレイン領域を形成する工程と、

前記第3の帯状部分の前記第2の帯状部分と交差する領域をチャネル領域として規定するように前記第3の帯状部分に互いに間隔を有して前記第2の薄膜トランジスタを構成する第2のソースおよびドレイン領域を形成する工程とを備えた、半導体記憶装置の製造方法。

【請求項9】 フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタと、一对の第2導電

型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置の製造方法であって、

第1の不純物濃度プロファイルを有し、その第1の不純物濃度プロファイルが前記主表面から第1の深さ位置に不純物濃度ピークを有するように半導体基板に不純物が導入されて、前記半導体基板の主表面に第1のチャンネル領域が形成される工程と、

第2の不純物濃度プロファイルを有し、その第2の不純物濃度プロファイルが前記主表面から第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有するように、かつ第2の深さ位置よりも深い位置では前記第1の不純物濃度プロファイルよりも高い濃度値を有するように前記半導体基板に不純物が導入されて、前記半導体基板の主表面に第2のチャンネル領域が形成される工程と、

前記第1のチャンネル領域を挟むように前記半導体基板の主表面に前記ドライバトランジスタの一対の第1のソースおよびドレイン領域を形成する工程と、

前記第2のチャンネル領域を挟むように前記半導体基板の主表面に前記アクセストランジスタの一対の第2のソースおよびドレイン領域を形成する工程と、

それによって、前記ドライバトランジスタの各々を構成する第1の電界効果トランジスタが、一対の第1のソースおよびドレイン領域を含むように形成され、かつ前記アクセストランジスタの各々を構成する第2の電界効果トランジスタが、一対の第2のソースおよびドレイン領域を含むように形成される、半導体記憶装置の製造方法。

【請求項10】 フリップフロップ回路を構成する一対の第1導電型の駆動用トランジスタおよび一対の第2導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置の製造方法であって、

第1の不純物濃度プロファイルを有し、その第1の不純物濃度プロファイルが前記主表面から第1の深さ位置に不純物濃度ピークを有するように、半導体基板に不純物が導入されて、前記半導体基板の主表面に第1のチャンネル領域が形成される工程と、

第2の不純物濃度プロファイルを有し、その第2の不純物濃度プロファイルが前記主表面から第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有するように、かつ前記主表面から前記第1の深さ位置よりも深い第3の深さ位置までの前記第1の不純物濃度プロファイルによって定められる不純物量が、前記主表面から前記第3の深さ位置までの前記第2の不純物濃度プロファイルによって定められる不純物量よりも多くなるように、前記半導体基板に不純物が導入されて、前記半導体基板の主表面に第2のチャンネル領域が形成される工程と、

前記第1のチャンネル領域を挟むように前記半導体基板の主表面に前記ドライバトランジスタの一対の第1のソースおよびドレイン領域を形成する工程と、

前記第2のチャンネル領域を挟むように前記半導体基板の主表面に前記アクセストランジスタの一対の第2のソースおよびドレイン領域を形成する工程と、

それによって、前記ドライバトランジスタの各々を構成する第1の電界効果トランジスタが、一対の第1のソースおよびドレイン領域を含むように形成され、かつ前記アクセストランジスタの各々を構成する第2の電界効果トランジスタが、一対の第2のソースおよびドレイン領域を含むように形成される、半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置およびその製造方法に関し、特にSRAM (Static Random Access Memory) のメモリセル構造およびその製造方法に関するものである。

【0002】

【従来の技術】 従来、半導体記憶装置の1つとして、SRAMが知られている。図42は、SRAMの1つのメモリセルの等価回路図である。図42を参照して、このメモリセルは、負荷としてp型MOS (Metal Oxide Semiconductor) トランジスタを用いており、かつ6つのトランジスタで構成されている。すなわち、一対のドライバ (駆動用) トランジスタ $Q_1$ 、 $Q_2$  (n型MOSトランジスタ) と、一対の負荷トランジスタ $Q_3$ 、 $Q_4$  (p型MOSトランジスタ) とが相互に接続されてフリップフロップ回路を構成している。

【0003】 一対の負荷トランジスタ $Q_3$ 、 $Q_4$ のソース領域110および111は、 $V_{cc}$ 電源に接続されており、ドライバトランジスタ $Q_1$ 、 $Q_2$ のソース領域はGND112、113に接続されている。

【0004】 さらに、一対のアクセストランジスタ $Q_5$ 、 $Q_6$  (n型MOSトランジスタ) は各々記憶ノード114、115に接続されている。そしてアクセストランジスタ $Q_5$ のソース/ドレイン領域の一方にはビット線107が接続されており、アクセストランジスタ $Q_6$ のソース/ドレイン領域の一方にはビット線108が接続されている。また、アクセストランジスタ $Q_5$ 、 $Q_6$ のゲート電極はワード線109に接続されている。

【0005】 以下、従来のSRAMのメモリセル構造を文献 (International Electron Device meeting 1991 Technical Digest pp. 481~pp. 484) に示された構造を用いて説明する。

【0006】 図43 (a)、(b) は、従来のSRAM

た平面構造図である。具体的には、図43(a)が、基板に形成されたドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ の構成を示しており、図43(b)が、薄膜トランジスタ(TFT:Thin Film Transistor) $Q_5$ 、 $Q_6$ の構成を示している。また図44は、図43(a)および(b)のG-G線に沿う概略断面図である。

【0007】図43(a)、(b)および図44を参照して、従来のメモリセルでは、p型ウェル120の主表面に一对のドライバトランジスタ $Q_1$ 、 $Q_2$ と一对のアクセストランジスタ $Q_3$ 、 $Q_4$ が形成されている。ドライバトランジスタ $Q_1$ は、チャネル領域125cを挟んで対向するドレイン領域125aおよびソース領域125bとゲート電極124とを有している。ドライバトランジスタ $Q_2$ は、チャネル領域126cを挟んで対向するドレイン領域126aおよびソース領域126bとゲート電極123とを有している。

【0008】またアクセストランジスタ $Q_3$ は、チャネル領域125eを挟んで対向する一对のソース/ドレイン領域125dとゲート電極121とを有している。アクセストランジスタ $Q_4$ は、チャネル領域126eを挟んで対向する一对のソース/ドレイン領域126dとゲート電極122とを有している。

【0009】これらのトランジスタは、p型ウェル120の主表面に形成されたソース/ドレイン領域を有するn型MOSトランジスタで構成されている。ドライバトランジスタ $Q_2$ のゲート電極123は、コンタクト部123aを通じてアクセストランジスタ $Q_3$ のソース/ドレイン領域125dおよびドライバトランジスタ $Q_1$ のドレイン領域125aに接続されている。またドライバトランジスタ $Q_1$ のゲート電極124は、コンタクト部124aを通じてアクセストランジスタ $Q_4$ のソース/ドレイン領域126dおよびドライバトランジスタ $Q_2$ のドレイン領域126aに接続されている。

【0010】また、負荷トランジスタ $Q_5$ のドレイン領域143aおよび負荷トランジスタ $Q_6$ のゲート電極142は、コンタクト部143dを通じてドライバトランジスタ $Q_1$ のゲート電極124に接続されている。負荷トランジスタ $Q_6$ のドレイン領域144aおよび負荷トランジスタ $Q_5$ のゲート電極141は、コンタクト部144dを通じてドライバトランジスタ $Q_2$ のゲート電極123に接続されている。

【0011】ドライバトランジスタ $Q_1$ 、 $Q_2$ およびアクセストランジスタ $Q_3$ 、 $Q_4$ と負荷トランジスタ $Q_5$ 、 $Q_6$ との中間層位置には、GNDラインとなるタングステンシリサイド層135が形成されている。

【0012】ビット線139は、プラグ層137を介してアクセストランジスタ $Q_3$ のソース/ドレイン領域125dに接続されている。またもう一方のビット線(図示せず)は、ビット線139と同様、プラグ層を介

してアクセストランジスタ $Q_4$ のソース/ドレイン領域126dに接続されている。

【0013】負荷トランジスタ $Q_5$ と $Q_6$ の双方は、各々薄膜トランジスタよりなり、ゲート電極141、142が各々チャネル領域143c、144cの下側となる、いわゆるボトムゲート型のトランジスタを構成している。

【0014】図45は、負荷トランジスタ $Q_5$ および $Q_6$ に用いられる薄膜トランジスタの典型的な断面構造を示した断面図である。図45を参照して、薄膜トランジスタは、多結晶シリコンなどの半導体層の中にチャネル領域144cとドレイン領域144aとソース領域144bとを形成してなる。そして絶縁層を介してチャネル領域144cに対向する位置にゲート電極142が形成されている。図46は、上述した薄膜トランジスタの電流特性を示す特性図である。なお図46において、 $V_d$ はドレイン電圧、 $V_g$ はゲート電圧、 $I_d$ はドレイン電流である。

【0015】

【発明が解決しようとする課題】このようなSRAMにおいて、メモリセルの集積度を向上させるためには、各々のメモリセルの平面占有面積を縮小化する必要がある。すなわち、ドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ と負荷トランジスタ $Q_5$ 、 $Q_6$ との平面占有面積を縮小化する必要がある。しかしながら、上記の従来のメモリセルにおいては、集積度の向上を図る場合、以下に説明する2つの問題点があった。

【0016】第1の問題は、読出時の動作が不安定なものになるということである。以下、そのことについて詳細に説明する。

【0017】図47(a)、(b)は、図42に示すメモリセルの等価回路図を、読出動作に関する2つのインバータ回路に分解して示した図である。図47を参照して、負荷トランジスタ $Q_5$ 、 $Q_6$ はこれらに流れる電流が十分小さいため図には示されていない。メモリセルの読出特性は、ビット線およびワード線を $V_{cc}$ に固定し、ドライバトランジスタのゲート電圧(相手方の記憶ノードの電圧)を変化させ、自身の記憶ノードの電圧変化から求める。

【0018】図48は、上記のSRAMの読出特性を示す特性図である。図48を参照して、横軸は記憶ノード115の電圧、縦軸は記憶ノード114の電圧を各々示している。曲線 $\alpha_1$ は記憶ノード115の電圧を変化させた場合の記憶ノード114の電圧変化特性を示している。また曲線 $\gamma_1$ は記憶ノード114の電圧を変化させたときの記憶ノード115の電圧変化特性を示している。曲線 $\alpha_1$ と $\gamma_1$ とは3点 $P_1$ 、 $P_2$ 、 $P_3$ で交わる。点 $P_3$ は記憶ノード114が“High”、また点 $P_1$ は記憶ノード115が“High”となる状態を記憶し

ていることに対応する。さらに、点 $P_2$ は不安定点で、読出時に、この点 $P_2$ に止まることはない。図中、円 $h_1$ で示される領域がいわゆるメモリセルの目と呼ばれるものである。このメモリセルの目が大きいほど、一般に読出動作が安定するとされている。

【0019】このメモリセルの目については、EVERT SEEVINCK et al., IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-22, No. 5, OCTOBER 1987 pp. 748~pp. 754やH. Shinohara et al., VLSI'82, p. 106~pp. 107に示されている。

【0020】メモリセルの目を大きくする方法はいくつかあるが、以下に2つの方法について述べる。まず第1の方法として、ドライバトランジスタとアクセストランジスタの駆動能力比 $\beta$ 比（すなわち、ドライバトランジスタの駆動能力/アクセストランジスタの駆動能力）を大きくする方法がある。図49は、駆動能力比 $\beta$ 比を図48に示す場合に比べて大きくした場合の読出特性図である。図49を参照して、メモリセルの目は、円 $h_1$ から円 $h_2$ へと大きくなる。

【0021】第2の方法は、アクセストランジスタのしきい値電圧 $V_{th}$ を下げることである。アクセストランジスタ $Q_3$ 、 $Q_4$ のしきい値電圧 $V_{th}$ には、図48の $V_{cc}-\theta_1$ （ $V_{cc}$ と $\theta_1$ の距離）、 $V_{cc}-\theta_2$ （ $V_{cc}$ と $\theta_2$ の距離）が対応する。なお、ここで $\theta_1$ 、 $\theta_2$ は各インバータの出力のHighレベルの電圧である。図50は、アクセストランジスタのしきい値電圧 $V_{th}$ を図48に示す場合に比べて小さくした場合の特性図である。図50を参照して、アクセストランジスタ $Q_3$ 、 $Q_4$ のしきい値電圧 $V_{th}$ を各々 $V_{cc}-\theta_3$ 、 $V_{cc}-\theta_4$ と小さくした場合、メモリセルの目が、円 $h_1$ から円 $h_3$ に拡大している。

【0022】従来、メモリセルの目を大きくするには、図43(a)を参照して、ドライバトランジスタ $Q_1$ 、 $Q_2$ のゲート幅 $W_D$ を大きくするか、もしくはアクセストランジスタ $Q_3$ 、 $Q_4$ のゲート幅 $W_A$ を小さくしていた。これは、トランジスタの駆動能力がゲート幅にほぼ比例していることに起因する。しかし、ドライバトランジスタのゲート幅 $W_D$ を大きくすることは、メモリセルの縮小化の妨げとなり、高集積化に好ましくない。一方、アクセストランジスタのゲート幅 $W_A$ を小さくすることは、狭チャネル効果によりアクセストランジスタのしきい値電圧 $V_{th}$ の上昇を引起す。このため、上述したようにメモリセルの目が小さくなり、読出動作が不安定になる。

【0023】このように、従来のSRAMのメモリセル構造では、動作の安定性を維持したまま、集積度の向上を図ることはできなかった。

限界によるものである。以下、そのことについて詳細に説明する。

【0025】図43に示す従来のSRAMのメモリセル構造に採用される負荷トランジスタ $Q_3$ 、 $Q_4$ はともにボトムゲート型の薄膜トランジスタである。特に図43(b)を参照して、負荷トランジスタ $Q_3$ 、 $Q_4$ のゲート141、142は同一の層から形成される。すなわち、この負荷トランジスタ $Q_3$ 、 $Q_4$ の形成時において、まず導電層が形成され、その後、写真製版技術などを用いてパターニングされることにより導電層からゲート電極141と142が形成される。現状の写真製版技術においては、パターニングの最小加工寸法は、具体的には約0.35 $\mu$ mである。このため、写真製版技術によりパターニングされるゲート電極141、142の各部の寸法（たとえば $L_3$ 、 $L_4$ ）は0.35 $\mu$ m以下にすることはできない。

【0026】また、負荷トランジスタ $Q_3$ 、 $Q_4$ のソース/ドレイン領域やチャネル領域となる層143、144も同一の層から形成される。それゆえ、この両層143、144の各部の寸法（たとえば $L_3$ ）も0.35 $\mu$ m以下にすることはできない。

【0027】このように、写真製版技術の加工限界による制約から、負荷トランジスタ $Q_3$ 、 $Q_4$ の平面占有面積の縮小化を図ることは困難であり、この点からも従来のSRAMのメモリセル構造では高集積化に適さない。

【0028】ところで、上記の写真製版技術における加工寸法の制約の少ない負荷トランジスタ $Q_3$ 、 $Q_4$ の構成は特開平3-34569号公報に示されている。

【0029】図51は、特開平3-34569号公報に示される負荷トランジスタの構成を概略的に示す平面図である。図51を参照して、一対の負荷トランジスタは、絶縁膜（図示せず）を介在して積層された2層の多結晶シリコン層301と303により構成されている。多結晶シリコン層301には、チャネル領域301cを挟んでドレイン領域301aとソース領域301bとが形成されている。また多結晶シリコン層303には、チャネル領域303cを挟んでドレイン領域303aとソース領域303bとが形成されている。また、下層のチャネル領域301c上には絶縁膜を介在してゲート電極となるドレイン領域303aが存在する。上層となるチャネル領域303c下には絶縁膜を介在してゲート電極となるドレイン領域301aが存在する。

【0030】このように、この一対の負荷トランジスタは、一方がボトムゲート型、他方がトップゲート型のトランジスタを構成している。また、一方のトランジスタのドレイン領域が他方のトランジスタのゲート電極を併用している。このため、上記の写真製版技術による加工寸法の制約が少なくなる。それゆえ、この負荷トランジスタの構成は、高集積化に適しているといえる。



は、チャネル領域301cと303cの双方が略L字形を有している。この多結晶シリコン薄膜303のパターニング時のマスクの重ね合せずれにより、上層の多結晶シリコン薄膜303が下層の多結晶シリコン薄膜301に対して矢印Jもしくは矢印K方向にずれる場合がある。この場合、特にトップゲート型の負荷トランジスタにおいて、容易にチャネル領域301cの寸法 $L_1$ 、 $W_1$ が変ってしまう。

【0032】図52は、マスクの重ね合せずれにより、チャネル領域の寸法が変ったようすを示す概略平面図である。図52を参照して、図51に示す一対の負荷トランジスタの構成では、チャネル領域の寸法が容易に変ってしまう。このため、所望の特性を有する負荷トランジスタを得ることができない。それゆえ、その動作時において安定した動作を得ることが難しいという問題点があった。

【0033】このように、従来のSRAMのメモリセル構造に採用される負荷トランジスタにおいても、安定な動作を維持したまま高集積化に適した構成を得ることができなかった。

【0034】本発明は、上記のような問題点を解決するためになされたもので、動作の安定性を維持したまま、集積度の向上を図ることのできるSRAMのメモリセル構造を提供することを目的とする。

【0035】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、フリップフロップ回路を構成する一対の第1導電型の駆動用トランジスタおよび一対の第2導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、半導体基板と、第1の電界効果トランジスタと、第2の電界効果トランジスタとを備えている。半導体基板は主表面を有している。第1の電界効果トランジスタは半導体基板の主表面に形成されたドライバトランジスタの各々を形成している。第2の電界効果トランジスタは、半導体基板の主表面に形成されたアクセストランジスタの各々を形成している。第1の電界効果トランジスタは、第1のゲート絶縁膜と第1のゲート電極とを含んでいる。第1のゲート絶縁膜は、半導体基板の主表面上に形成され、第1の誘電率を有している。第1のゲート電極は、第1のゲート絶縁膜上に形成されている。第2の電界効果トランジスタは、第2のゲート絶縁膜と第2のゲート電極とを有している。第2のゲート絶縁膜は、半導体基板の主表面上に形成され、第1の誘電率よりも小さい第2の誘電率を有している。第2のゲート電極は、第2のゲート絶縁膜上に形成されている。

【0036】請求項2に記載の半導体記憶装置は、フリップフロップ回路を構成する一対の第1導電型の駆動用トランジスタおよび一対の第2導電型の負荷トランジスタと、一対のアクセストランジスタとを有し、駆動用ト

ランジスタとアクセストランジスタとは半導体基板の主表面に形成された電界効果トランジスタから構成され、負荷トランジスタは電界効果トランジスタの上に形成された第1および第2の薄膜トランジスタから構成されるスタティック型メモリセルを含む半導体記憶装置であって、第1の半導体層と、第2の半導体層と、第1のソースおよびドレイン領域と、第2のソースおよびドレイン領域と、第1のゲート絶縁膜と、第2のゲート絶縁膜とを備えている。第1の半導体層は、半導体基板の上方に形成され、かつ第1の方向に延びる第1の帯状部分と第2の方向に延びる第2の帯状部分とを有している。第2の半導体層は、第1の半導体層の上に形成され、かつ第2の方向と交差する第3の方向に延びる第3の帯状部分と第1の方向と交差する第4の方向に延びる第4の帯状部分とを有している。第1のソースおよびドレイン領域は、第1の帯状部分に形成され、かつ第4の帯状部分と対向する第1のチャネル領域を規定するように互いに間隔を有して第1の薄膜トランジスタを構成している。第2のソースおよびドレイン領域は、第3の帯状部分に形成され、かつ第2の帯状部分と対向する第2のチャネル領域を規定するように互いに間隔を有して第2の薄膜トランジスタを構成している。第1のゲート絶縁膜は、第4の帯状部分と第1のチャネル領域との間に形成されている。第2のゲート絶縁膜は、第2の帯状部分と第2のチャネル領域との間に形成されている。第1の半導体層と第2の半導体層とは、第1の帯状部分と第4の帯状部分との間、第2の帯状部分と第4の帯状部分との間で重なり合っている。

【0037】本発明の好ましい局面に従う半導体記憶装置では、第1のゲート絶縁膜と第2のゲート絶縁膜とは同一の層よりなっている。

【0038】請求項4に記載の半導体記憶装置は、フリップフロップ回路を構成する一対の第1導電型の駆動用トランジスタおよび一対の第2導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、半導体基板と、第1の電界効果トランジスタと、第2の電界効果トランジスタとを備えている。半導体基板は主表面を有している。第1の電界効果トランジスタは、半導体基板の主表面に形成されたドライバトランジスタの各々を形成している。第2の電界効果トランジスタは、半導体基板の主表面に形成されたアクセストランジスタの各々を形成している。第1の電界効果トランジスタは、半導体基板の主表面に、互いに距離を隔てて形成された一対の第1のソースおよびドレイン領域を有している。一対の第1のソースおよびドレイン領域に挟まれる半導体基板の第1のチャネル領域は、第1の不純物濃度プロファイルを有し、主表面から第1の深さ位置に不純物濃度ピークを有している。第2の電界効果トランジスタは、半導体基板の主表面に互いに距離を隔てて形成され



た一对の第2のソースおよびドレイン領域を有している。一对の第2のソースおよびドレイン領域に挟まれる半導体基板の第2のチャンネル領域は第2の不純物濃度プロファイルを有している。その第2の不純物濃度プロファイルは主表面から第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有している。第2の深さ位置よりも深い位置では、第1の不純物濃度プロファイルは第2の不純物濃度プロファイルよりも高い濃度値を示している。

【0039】請求項5に記載の半導体記憶装置は、フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタおよび一对の第2導電型の負荷トランジスタと、一对のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、半導体基板と、第1の電界効果トランジスタと、第2の電界効果トランジスタとを備えている。半導体基板は主表面を有している。第1の電界効果トランジスタは、半導体基板の主表面に形成されたドライバトランジスタの各々を形成している。第2の電界効果トランジスタは、半導体基板の主表面に形成されたアクセストランジスタの各々を形成している。第1の電界効果トランジスタは、半導体基板の主表面に、互いに距離を隔てて形成された一对の第1のソースおよびドレイン領域を有している。一对の第1のソースおよびドレイン領域に挟まれる半導体基板の第1のチャンネル領域は、第1の不純物濃度プロファイルを有している。その第1の不純物濃度プロファイルは主表面から第1の深さ位置に不純物濃度ピークを有している。第2の電界効果トランジスタは、半導体基板の主表面に互いに距離を隔てて形成された一对の第2のソースおよびドレイン領域を有している。一对の第2のソースおよびドレイン領域に挟まれる半導体基板の第2のチャンネル領域は第2の不純物濃度プロファイルを有している。その第2の不純物濃度プロファイルは主表面から第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有している。主表面から第1の深さ位置よりも深い第3の深さ位置までの第1の不純物濃度プロファイルによって定められる不純物量は、主表面から第3の深さ位置までの第2の不純物濃度プロファイルによって定められる不純物量よりも多い。

【0040】請求項6に記載の半導体記憶装置は、フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタおよび一对の第2導電型の負荷トランジスタと、一对のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置であって、半導体基板と、第1の電界効果トランジスタと、第2の電界効果トランジスタとを備えている。半導体基板は主表面を有している。第1の電界効果トランジスタは、半導体基板の主表面に形成されたドライバトランジスタの各々を形成している。第2の電界効果トランジスタは、半導体基板の主表面に形成されたアクセストランジスタの各々を形成している。第1の電界効果トランジスタは、半導体基板の主表面に、互いに距離を隔てて形成された一对の第1のソースおよびドレイン領域を有している。一对の第1のソースおよびドレイン領域に挟まれる半導体基板の第1のチャンネル領域は、第1の不純物濃度プロファイル

を形成している。第1の電界効果トランジスタは、第1のゲート絶縁膜と、第1のゲート電極とを含んでいる。第1のゲート絶縁膜は、半導体基板の主表面上に形成され、第1の厚みと第1の誘電率とを有している。第1のゲート電極は、第1のゲート絶縁膜上に形成されている。第2の電界効果トランジスタは、第2のゲート絶縁膜と、第2のゲート電極とを有している。第2のゲート絶縁膜は、半導体基板の主表面上に形成され、第2の厚みと第2の誘電率とを有している。第2のゲート電極は、第2のゲート絶縁膜上に形成されている。第1の厚みに対する第1の誘電率の比は、第2の厚みに対する第2の誘電率の比よりも大きい。

【0041】請求項7に記載の半導体記憶装置の製造方法は、フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタおよび一对の第2導電型の負荷トランジスタと、一对のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置の製造方法であって、以下の工程を備えている。

【0042】まず半導体基板の主表面上に第1の誘電率を有する第1のゲート絶縁膜が形成される。そして半導体基板の主表面上に第1の誘電率よりも小さい第2の誘電率を有する第2のゲート絶縁膜が形成される。そして第1のゲート絶縁膜上に第1のゲート電極が形成される。そして第2のゲート絶縁膜上に第2のゲート電極が形成される。それによって、駆動用トランジスタの各々を構成する第1の電界効果トランジスタが第1のゲート絶縁膜と第1のゲート電極とを含むように形成され、かつアクセストランジスタの各々を構成する第2の電界効果トランジスタが第2のゲート絶縁膜と第2のゲート電極とを含むように形成される。

【0043】請求項8に記載の半導体記憶装置の製造方法は、フリップフロップ回路を構成する一对の第1導電型の駆動用トランジスタおよび一对の第2導電型の負荷トランジスタと、一对のアクセストランジスタとを有し、駆動用トランジスタとアクセストランジスタとは半導体基板の主表面に形成された電界効果トランジスタから構成され、負荷トランジスタは電界効果トランジスタの上に形成された第1および第2の薄膜トランジスタから構成されるスタティック型メモリセルを含む半導体記憶装置の製造方法であって、以下の工程を備えている。

【0044】まず半導体基板の上方に第1の方向に延びる第1の帯状部分と第2の方向に延びる第2の帯状部分とを有する第1の半導体層が形成される。そして第1の半導体層上に絶縁膜が形成される。そして第2の方向と交差する第3の方向に延びる第3の帯状部分と第1の方向と交差する第4の方向に延びる第4の帯状部分とを有する第2の半導体層が、第3の帯状部分が第2の帯状部分と交差し、かつ第4の帯状部分が第1の帯状部分と交差するように絶縁膜上に形成される。そして第1の帯状

して規定するように第1の帯状部分に互いに間隔を有して第1の薄膜トランジスタを構成する第1のソースおよびドレイン領域が形成される。そして第3の帯状部分の第2の帯状部分と交差する領域をチャネル領域として規定するように第3の帯状部分に互いに間隔を有して第2の薄膜トランジスタを構成する第2のソースおよびドレイン領域が形成される。

【0045】請求項9に記載の半導体記憶装置の製造方法は、フリップフロップ回路を構成する一対の第1導電型の駆動用トランジスタおよび一対の第2導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置の製造方法であって、以下の工程を備えている。

【0046】まず第1の不純物濃度プロファイルを有し、その第1の不純物濃度プロファイルが主表面から第1の深さ位置に不純物濃度ピークを有するように半導体基板に不純物が導入されて半導体基板の主表面に第1のチャネル領域が形成される。そして第2の不純物濃度プロファイルを有し、その第2の不純物濃度プロファイルが主表面から第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有するように、かつ第2の深さ位置よりも深い位置では第1の不純物濃度プロファイルよりも高い濃度値を有するように半導体基板に不純物が導入されて、半導体基板の主表面に第2のチャネル領域が形成される。そして第1のチャネル領域を挟むように半導体基板の主表面にドライバトランジスタの一対の第1のソースおよびドレイン領域が形成される。そして第2のチャネル領域を挟むように半導体基板の主表面にアクセストランジスタの一対の第2のソースおよびドレイン領域が形成される。そしてそれによって、ドライバトランジスタの各々を構成する第1の電界効果トランジスタが、一対の第1のソースおよびドレイン領域を含むように形成され、かつアクセストランジスタの各々を構成する第2の電界効果トランジスタが、一対の第2のソースおよびドレイン領域を含むように形成される。

【0047】請求項10に記載の半導体記憶装置の製造方法は、フリップフロップ回路を構成する一対の第1導電型の駆動用トランジスタおよび一対の第2導電型の負荷トランジスタと、一対のアクセストランジスタとを有するスタティック型メモリセルを備えた半導体記憶装置の製造方法であって、以下の工程を備えている。

【0048】まず第1の不純物濃度プロファイルを有し、その第1の不純物濃度プロファイルが前記主表面から第1の深さ位置に不純物濃度ピークを有するように半導体基板に不純物が導入されて、半導体基板の主表面に第1のチャネル領域が形成される。そして第2の不純物濃度プロファイルを有し、その第2の不純物濃度プロファイルが主表面から第1の深さ位置よりも浅い第2の深さ位置に不純物濃度ピークを有するように、かつ主表面から第1の深さ位置よりも深い第3の深さ位置までの第

1の不純物濃度プロファイルによって定められる不純物量が、主表面から第3の深さ位置までの第2の不純物濃度プロファイルによって定められる不純物量よりも多くなるように半導体基板に不純物が導入されて半導体基板の主表面に第2のチャネル領域が形成される。そして第1のチャネル領域を挟むように半導体基板の主表面にドライバトランジスタの一対の第1のソースおよびドレイン領域が形成される。そして第2のチャネル領域を挟むように半導体基板の主表面にアクセストランジスタの一対の第2のソースおよびドレイン領域が形成される。そしてそれによって、ドライバトランジスタの各々を構成する第1の電界効果トランジスタが、一対の第1のソースおよびドレイン領域を含むように形成され、かつアクセストランジスタの各々を構成する第2の電界効果トランジスタが、一対の第2のソースおよびドレイン領域を含むように形成される。

【0049】

【作用】請求項1に記載の半導体記憶装置においては、第1および第2の電界効果トランジスタでゲート絶縁膜の誘電率が異なるため、双方の電界効果トランジスタの電流駆動能力を変えることができる。具体的には、第1の電界効果トランジスタの駆動能力を大きくし、かつ第2の電界効果トランジスタの駆動能力を小さくすることができる。このため、第1および第2の電界効果トランジスタの電流駆動能力比を大きくすることができる。これにより、駆動用トランジスタのゲート幅を大きくすることなくメモリセルの目を大きくできるため、安定した読出動作を実現でき、かつ高集積化に適したSRAMのメモリセル構造を得ることができる。

【0050】また、第1および第2のゲート絶縁膜を同一材質で膜厚のみを変えて電流駆動能力比を大きくする場合に比較して、ゲート絶縁膜の膜厚の制御が容易となる。このため、第1および第2のゲート絶縁膜の膜厚差を小さく保持したままで、大きい駆動能力比を確保することができる。よって、ゲート絶縁膜上方での写真製版技術によるパターンニングも正確に行なえ、パターン形状の不良も生じ難い。

【0051】請求項6に記載の半導体記憶装置においては、上述に加えて、第1および第2の電界効果トランジスタの駆動能力を各トランジスタのゲート絶縁膜の誘電率および膜厚で制御可能である。このため、より一層駆動能力比の制御が容易となる。

【0052】請求項2に記載の半導体記憶装置においては、一対の負荷トランジスタの一方はトップゲート型、他方はボトムゲート型のトランジスタを各々構成している。また、一方のトランジスタのソースおよびドレイン領域の一方が、他方のトランジスタのゲート電極を併用している。それゆえ、一対の負荷トランジスタの双方がトップゲート型もしくはボトムゲート型となる場合に比較して、写真製版技術における加工寸法の制約が小さく

なる。よって、一对の負荷トランジスタの平面占有面積を小さくすることが可能となり、高集積化に適したSRAMのメモリセル構造を得ることが可能となる。

【0053】また、トップゲート型の一方向の負荷トランジスタでは、ゲートをマスクとして下層の半導体層に不純物が注入されて、ソース/ドレイン領域が形成される。このため、この不純物注入により形成されるチャネル領域においては、そのチャネル長およびチャネル幅は上下に交差する各帯状部分の幅によって規定される。この交差する各帯状部分は、所定の幅を有して延びるように形成されている。よって、マスクの重ね合わせずれなどにより互いに交差する帯状部分が所定の位置からずれて形成された場合でも、交差する領域における各帯状部分の幅は変わらない。ゆえに、トップゲート型負荷トランジスタにおけるチャネル長およびチャネル幅の寸法は、マスクの重ね合わせずれによっては変わらない。それゆえ、各帯状部分の幅を決定することで所望の特性を有するトップゲート型の負荷トランジスタを容易に得ることができる。したがって、動作時において安定した動作を得ることができる。

【0054】また、本発明の好ましい局面に従う半導体装置では、第1および第2のゲート絶縁膜が同一の層よりなっているため、異なる層よりなる場合に比較して製造工程の簡略化を図ることができる。

【0055】請求項4に記載の半導体記憶装置では、アクセストランジスタのチャネル領域は、ドライバトランジスタのチャネル領域に比較して、主表面から浅いところに不純物濃度ピークを有している。また、アクセストランジスタのチャネル領域の不純物濃度ピーク位置よりも深いところでは、アクセストランジスタのチャネル領域は、ドライバトランジスタのチャネル領域の不純物濃度値より低い不純物濃度値を有している。つまり、アクセストランジスタのチャネル領域の不純物濃度ピーク位置よりも深いところでは、アクセストランジスタのチャネル領域の不純物量はドライバトランジスタのチャネル領域の不純物量よりも少ない。このため、アクセストランジスタのチャネル領域では、バイアスが印加されて空乏層が深さ方向に広がっても新たに生じる固定電化の量はドライバトランジスタのチャネル領域よりも少ない。それゆえ、基板バイアス効果によるしきい値電圧 $V_{th}$ の増加は抑制される。したがって、基板バイアスが印加されても、メモリセルの面を大きく維持でき、読出動作を安定化することが可能となる。

【0056】また、請求項5に記載の半導体記憶装置においても上述と同様、アクセストランジスタのチャネル領域の不純物濃度ピーク位置よりも深いところでは、アクセストランジスタのチャネル領域の不純物量は、ドライバトランジスタのチャネル領域の不純物量よりも少ない。したがって、基板バイアスが印加されても、メモリ

ができる。

【0057】

【実施例】以下、本発明の実施例について図を用いて説明する。

【0058】実施例1

図1は、本発明の第1の実施例におけるSRAMのメモリセル構造を図44に対応する断面で示す概略断面図である。また図2(a)は図1の領域Aで示すアクセストランジスタの構成を示す拡大断面図であり、図2(b)は、図1のB-B線に沿うドライバトランジスタの概略断面図である。

【0059】図1と図2(a)、(b)を参照して、p型ウェル20の主表面に一对のドライバトランジスタ $Q_1$ 、 $Q_2$ と一对のアクセストランジスタ $Q_3$ 、 $Q_4$ が形成されている。ドライバトランジスタ $Q_1$ は、ドレイン領域25aおよびソース領域25bとゲート電極23とを有している。ドライバトランジスタ $Q_2$ は、ドレイン領域26aおよびソース領域26bとゲート電極23とを有している。またドライバトランジスタ $Q_1$ および $Q_2$ は、シリコン酸化膜27aとシリコン窒化膜27bの積層されたゲート絶縁膜を有している。

【0060】また、アクセストランジスタ $Q_3$ は、一对のソース/ドレイン領域25dとゲート電極21とを有している。アクセストランジスタ $Q_4$ は、一对のソース/ドレイン領域26dとゲート電極22とを有している。アクセストランジスタ $Q_3$ 、 $Q_4$ は、シリコン酸化膜27c単層よりなるゲート絶縁膜を有している。

【0061】本発明の第1の実施例におけるSRAMのメモリセル構造は、上記のドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ の構成以外については図43および図44に示した従来のSRAMのメモリセル構造とほぼ同様であるためその説明は省略する。

【0062】本実施例のSRAMのメモリセル構造においては、ドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ とのゲート絶縁膜には、誘電率の異なる材料が用いられている。このため、ドライバトランジスタとアクセストランジスタの駆動能力比 $\beta$ 比を大きくすることができるという利点を有する。以下、そのことについて文献「サブミクロンデバイスI」小柳光正著、丸善株式会社発行、pp. 4~pp. 8に示してあることを参照して説明する。

【0063】トランジスタの駆動能力は、

【0064】

【数1】

$$\frac{W}{L} \cdot \mu_{eff} \cdot C_{IN}$$

…(1)

【0065】で示される。ここでWはトランジスタのゲ

効的な移動度、 $C_{II}$ は、ゲート絶縁膜の単位面積当りの容量を各々示している。 $C_{II}$ は、さらに、

【0066】

【数2】

$$C_{IN} = \frac{\epsilon_{IN} \cdot \epsilon_0}{t_{IN}} \quad \dots (2)$$

【0067】で示される。 $\epsilon_0$ は真空誘電率、 $\epsilon_{II}$ はゲート絶縁膜の比誘電率、 $t_{II}$ はゲート絶縁膜の厚みである。上述したように駆動能力比 $\beta$ 比は、(ドライバトランジスタの駆動能力)/(アクセストランジスタの駆動能力)で表わせる。このため、駆動能力比 $\beta$ 比を大きくするには、アクセストランジスタの駆動能力をドライバトランジスタの駆動能力に対して下げることが考えられる。

【0068】このアクセストランジスタの駆動能力を下げる方法として、(1)、(2)式より、アクセストランジスタ $Q_3$ 、 $Q_4$ のゲート絶縁膜の比誘電率を変えることが考えられる。

【0069】(1)、(2)式より、ゲート絶縁膜の比誘電率 $\epsilon_{II}$ が大きくなるとトランジスタの駆動能力は大きくなり、またゲート絶縁膜の比誘電率 $\epsilon_{II}$ が小さくなるとトランジスタの駆動能力は小さくなる。このため、アクセストランジスタ $Q_3$ 、 $Q_4$ のゲート絶縁膜にドライバトランジスタ $Q_1$ 、 $Q_2$ のゲート絶縁膜より比誘電率の低い材料を用いれば、アクセストランジスタ $Q_3$ 、 $Q_4$ のドライバトランジスタ $Q_1$ 、 $Q_2$ に対する駆動能力を下げるができる。結果として、駆動能力比 $\beta$ 比を大きくすることができる。

【0070】これに対して、上記(1)、(2)式より、ドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ とのゲート絶縁膜に同一材料を用い、その膜厚 $t_{II}$ だけを変えることにより、駆動能力比 $\beta$ 比を大きくする方法も考えられる。この方法は、特開昭63-211751号公報に示されている。この公報においては、アクセストランジスタ $Q_3$ 、 $Q_4$ とドライバトランジスタ $Q_1$ 、 $Q_2$ との双方のゲート絶縁膜にシリコン酸化膜だけが用いられている。また、アクセストランジスタ $Q_3$ 、 $Q_4$ のゲート酸化膜厚 $t_{III}$ がドライバトランジスタ $Q_1$ 、 $Q_2$ のゲート酸化膜厚 $t_{III}$ より厚く形成され、これにより大きな駆動能力比 $\beta$ 比が得られている。

【0071】しかしながら、上記公報に示された方法では、駆動能力比 $\beta$ 比を大きくしようとするほどドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ のゲート酸化膜の膜厚差( $t_{III} - t_{III}$ )が大きくなる。よって、ドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ とのゲート電極間の高低差が大きくなってしまふ。従って、ゲート電極の上面において写真製版技術を用いてパターンングを施

合に、パターン形状の不良が生じやすくなるという問題を有している。

【0072】本実施例においては、ゲート絶縁膜の材料として誘電率の異なるものを任意に選びだすことにより、アクセストランジスタ $Q_3$ 、 $Q_4$ とドライバトランジスタ $Q_1$ 、 $Q_2$ とのゲート絶縁膜の膜厚を所望の値に設定することも可能である。したがって、たとえばアクセストランジスタ $Q_3$ 、 $Q_4$ とドライバトランジスタ $Q_1$ 、 $Q_2$ とのゲート絶縁膜の膜厚を同一膜厚にすることもできる。このような場合には、ゲート電極上層での写真製版技術におけるパターン形状の不良は生じ難くなる。

【0073】具体的には、図1および図2に示すようにアクセストランジスタ $Q_3$ 、 $Q_4$ のゲート絶縁膜はシリコン酸化膜27cのままとし、ドライバトランジスタ $Q_1$ 、 $Q_2$ のゲート絶縁膜にシリコン酸化膜27aとシリコン窒化膜27bとを積層させた構造を用いればよい。

【0074】この場合、シリコン酸化膜の比誘電率が $\epsilon_{01} \div 3.8 \sim 3.85$ に対し、シリコン窒化膜の比誘電率は $\epsilon_{II} \div 7$ とシリコン酸化膜の約2倍の値である。このためゲート絶縁膜の誘電率はドライバトランジスタ $Q_1$ 、 $Q_2$ のほうがアクセストランジスタ $Q_3$ 、 $Q_4$ よりも高くなる。

【0075】このように、本実施例ではゲート絶縁膜の材料と膜厚とを制御することにより、より効果的に駆動能力比 $\beta$ 比を大きくすることができる。

【0076】次に、図1および図2に示すドライバトランジスタ $Q_1$ 、アクセストランジスタ $Q_3$ を例にとつて、その製造方法について説明する。

【0077】図3～図8は、本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタおよびドライバトランジスタの製造方法を工程順に示す概略断面図である。なお図3～図8においてアクセストランジスタを図中左側(a)に示し、ドライバトランジスタを図中右側(b)に示してある。

【0078】まず図3(a)と(b)を参照して、p型ウェル20にチャネルドープ注入が行なわれる。この注入によりアクセストランジスタのしきい値電圧 $V_{th}$ が決定される。

【0079】図4(a)と(b)を参照して、アクセストランジスタ領域(a)の基板20上にフォトレジスト51aが形成された後、ドライバトランジスタ領域

(b)のp型ウェル20にチャネルドープ注入が行なわれる。この2回のチャネルドープ注入により、ドライバトランジスタのしきい値電圧が決定される。この後、フォトレジスト51aが除去されるまた、図3に示す工程で、たとえばドライバトランジスタ領域(b)上のみレジストで覆ってアクセストランジスタ領域(a)のp型ウェル20にのみ不純物を注入した後、図4に示す工程でアクセストランジスタ領域(a)上にのみレジストを

【0095】図14(a)と(b)を参照して、熱酸化処理により、ドライバトランジスタ領域(b)のp型ウェル20上にシリコン酸化膜27gが形成される。なお

アクセストランジスタ領域(a)においてシリコン窒化膜27f上にシリコン酸化膜はほとんど形成されない。この後、全面に多結晶シリコン膜が形成される。この多結晶シリコン膜が所望の形状にパターニングされた後、不純物が注入などされることによって図11に示すアクセストランジスタ $Q_3$ およびドライバトランジスタ $Q_1$ が形成される。

【0096】図11に示す構成とした場合、シリコン酸化膜27eの膜厚を $t_{ox1}$ 、シリコン窒化膜27fの膜厚を $t_1$ 、シリコン酸化膜27gの膜厚を $t_{ox2}$ とすると、

【0097】

【数5】

$$\frac{1}{\frac{t_{ox1}}{\epsilon_{ox}} + \frac{t_1}{\epsilon_N}} < \frac{\epsilon_{ox}}{t_{ox2}}$$

【0098】となるように各ゲート絶縁膜が形成されればよい。また、図2および図10においては、ドライバトランジスタのゲート絶縁膜を複数の層から形成しているが、単にシリコン酸化膜とは異なる誘電率を有する絶縁膜の単層からなっているもよい。

【0099】図15を参照して、たとえば、アクセストランジスタ $Q_1$ 、 $Q_2$ のゲート絶縁膜27kをシリコン酸化膜単層とし、かつドライバトランジスタ $Q_1$ 、 $Q_2$ のゲート絶縁膜27jをシリコン窒化膜単層としてもよい。

【0100】この場合、シリコン窒化膜27jの膜厚 $t_{11}$ とシリコン酸化膜27kの膜厚 $t_{11}$ とを各々100Åとすると、シリコン窒化膜とシリコン酸化膜との比誘電率が各々 $\epsilon_1 \approx 7$ 、 $\epsilon_{ox} \approx 3.8$ であるため、駆動能力比 $\beta$ 比は、 $7/3.8 \approx 1.84$ (倍)となる。

【0101】また、シリコン窒化膜27fの代わりにシリコン酸化膜と誘電率の異なる他の材料を用いた場合、図13に示す工程で熱酸化処理を施すと、図16に示す状態となる。すなわち、熱酸化処理によりドライバトランジスタ領域(b)の基板20上にシリコン酸化膜27gが形成されるが、同時にアクセストランジスタ領域の絶縁膜27faの表面上にもシリコン酸化膜27hが形成される。この後、上述と同様の後工程を施すことにより、図17に示すアクセストランジスタ $Q_3$ とドライバトランジスタ $Q_1$ とが形成される。図17に示すような構成とした場合、絶縁膜27faの膜厚を $t_1$ 、比誘電率を $\epsilon_1$ 、シリコン酸化膜27hの厚みを $t_{ox1}$ とすると、

【0102】

【数6】

$$\frac{1}{\frac{t_{ox1}}{\epsilon_{ox}} + \frac{t_1}{\epsilon_a} + \frac{t_{ox3}}{\epsilon_{ox}}} < \frac{\epsilon_{ox}}{t_{ox2}}$$

【0103】となるように各ゲート絶縁膜が形成されればよい。上記に示した例においては、ゲート絶縁膜として主にシリコン酸化膜とシリコン窒化膜を採用したものを示したが、ゲート絶縁膜には、絶縁特性を有し、かつ異なる誘電率を有する膜であればどのような膜でも採用することができる。また、上記の実施例においては、アクセストランジスタ $Q_3$ とドライバトランジスタ $Q_1$ とを例に挙げて説明したが、当然アクセストランジスタ $Q_1$ 、ドライバトランジスタ $Q_1$ についても上記の構成を採用することが可能である。

【0104】また、各ゲート絶縁膜として強誘電体膜または常誘電体膜が用いられてもよい。強誘電体膜としては、PT(比誘電率=200~400)、PZT(比誘電率=300~2000)、PLZT(比誘電率=300~1500)がある。また常誘電体膜としては、(Ba, Sr)TiO<sub>3</sub>(比誘電率=250~500)、SrTiO<sub>3</sub>(比誘電率=200~250)、Ta<sub>2</sub>O<sub>5</sub>(比誘電率=22)がある。

【0105】実施例2

次に、第2の実施例としてしきい値電圧 $V_{th}$ を変えたアクセストランジスタの構成について説明する。

【0106】上述したように、メモリセルの目を大きくすることで読出し動作を安定化させる方法として、アクセストランジスタのしきい値電圧 $V_{th}$ を低くする方法がある。

【0107】図18(a)、(b)は、アクセストランジスタとドライバトランジスタとの構成を概略的に示す断面図である。図18を参照して、アクセストランジスタ $Q_3$ はソース/ドレイン領域25dと、チャネル領域上にゲート絶縁膜27を介在して形成されたゲート電極21とを有している。またドライバトランジスタ $Q_1$ はドレイン領域26aおよびソース領域26bとチャネル領域上にゲート絶縁膜27を介在して形成されたゲート電極23とを有している。

【0108】上記のアクセストランジスタ $Q_3$ のしきい値電圧 $V_{th}$ を低くするには、チャネル領域に注入される不純物の量を少なくすることが考えられる。図19は、図18(a)の $X_0-X_1$ 線と図18(b)の $Y_0-Y_1$ 線に沿う深さ位置に対する不純物濃度を示す図である。図19を参照して、このようにドライバトランジスタ $Q_1$ よりアクセストランジスタ $Q_3$ の深さ方向に対する不純物濃度を小さくすることにより、アクセストランジスタのしきい値電圧 $V_{th}$ を低くすることができる。したがって、これにより読出特性の一応の安定化を図ることができる。

【0109】しかし、近年、SRAMにおいても高集積化の要望が強く、高集積化に伴って電源電圧( $V_{cc}$ )も低電圧化されている。具体的には、これまで5Vであった電源電圧を3Vへ低電圧化させることが検討されている。



【0110】このように電源電圧の低電圧化の傾向にある現状では、バックゲート効果によるアクセストランジスタのしきい値電圧の上昇が無視できなくなる。ここで、バックゲート効果とは、MOSトランジスタにおいてソースと基板とにバイアスを加えたときに生ずる効果をいい、このバイアスの電圧分だけチャネルと基板との間の空乏層が広がって固定電荷（イオン化したアクセプタまたはドナー）が増えることである。したがって、空乏層が広がることにより空乏層内に含まれる固定電荷が増えた分だけしきい値電圧 $V_{th}$ が上がることとなる。

【0111】図19に示すアクセストランジスタの構成で、仮に、上述のバックゲート効果によるしきい値電圧 $V_{th}$ の増加を防止しようとする、以下のようにリーク電流の問題が生じる。

【0112】つまり図19に示すアクセストランジスタの構成で、バックゲート効果によるバイアスが印加された状態におけるしきい値電圧 $V_{th}$ を小さくするには、空乏層内の固定電荷を少なくすればよい。しかし、この場合、バックゲート効果によるバイアスが印加されない状態における空乏層内の固定電荷が非常に少なくなる。このため、バックバイアス電圧 $=0V$ のときのアクセストランジスタのしきい値電圧 $V_{th}$ が低くなり、リーク電流の問題が生じてしまう。

【0113】これに対して、本発明の第2の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタでは、チャネル領域に注入する不純物の注入量を少なくし、さらに注入エネルギーも小さくしている。このため、図20に示すように、アクセストランジスタ $Q_3$ では不純物濃度ピーク（一点鎖線 $r_1 - r_1$ ）がドライバトランジスタ $Q_1$ に比べ基板表面から比較的浅いところに位置することとなる。

【0114】よって、バイアスが印加されて空乏層がチャネル領域の下側へ広がっても新たに生じる固定電荷の量（領域 $S_1$ に分布する不純物の量）は少なく、基板バイアス効果によるしきい値電圧 $V_{th}$ の増加は抑制される。以下、そのことについて詳細に説明する。

【0115】図21は、本実施例のアクセストランジスタではバックゲート効果を考慮してもしきい値電圧 $V_{th}$ の増加が抑制される理由を説明するための図である。図

21を参照して、まず、領域 $S_{11}$ と領域 $S_{12}$ とは、各々図19に示す比較例のアクセストランジスタ $Q_1$ の基板表面から空乏層ができる領域までの不純物量である。また、領域 $S_{11}$ と領域 $S_{12}$ とは、各々図20に示す本実施例のアクセストランジスタ $Q_3$ の基板表面から空乏層ができる領域までの不純物量である。バイアスが印加されない場合（ $V_B = 0V$ のとき）、単に注入量を少なくした比較例の場合（a）の不純物の量 $S_{11}$ と注入エネルギーも小さくした本実施例の場合（b）の不純物の量 $S_{12}$ とはほぼ同じ程度である。すなわち、固定電荷の量は比較例（a）と本実施例（b）とではほぼ同じである。このため、バックゲート効果を受けない状態では、比較例（a）と本実施例（b）のアクセストランジスタのしきい値電圧 $V_{th}$ は同等程度である。

【0116】しかし、バイアスが印加された状態（ $V_B = -1V$ の状態）では、空乏層がチャネル領域の下側へ広がることになり、新たに生じる固定電荷の量は比較例（c）のほう为本実施例（d）に比較して大幅に多くなる。このため、バックゲート効果を受けた状態では不純物の注入量と注入エネルギーとを小さくした本実施例のアクセストランジスタ $Q_3$ の構成のほうがしきい値電圧 $V_{th}$ を低くすることができる。

【0117】しきい値電圧 $V_{th}$ のバックバイアス効果は、

【0118】

【数7】

$$V_{th} = V_{th0} + k\sqrt{|V_B| + 2\phi_F}$$

【0119】で表わされる。 $V_B$ はバックバイアス電圧、 $V_{th0}$ は $V_B = 0$ のときのしきい値電圧、 $\phi_F$ はフェルミポテンシャルを各々示している。

【0120】ここで、チャネルドープエネルギー $50keV$ でドーズ量 $5 \times 10^{11}/cm^2$ の場合と、チャネルドープエネルギー $35keV$ でドーズ量 $3.5 \times 10^{11}/cm^2$ の場合とを比較すると、以下の表のようになる。

【0121】

【表1】

チャネルドープエネルギー	$V_{th0}$	k	$V_B = -1V$ のときの $V_{th}$
50keV	0.75V	0.79	1.137V
35keV	0.75V	0.657	1.072V

【0122】なお、この結果は、 $2\phi_F = 0.6$ とした場合の結果を示している。上述の表の結果から明らかなように、チャネルエネルギーを小さくすると、 $V_{th0}$ が同じでも、バックバイアスがかかったときの $V_{th}$ を小さくすることができ、バックバイアス効果が小さくなるといえる。

バックバイアス効果が小さくなるといえる。

【0123】なお、一般にアクセストランジスタ $Q_1$ のゲート長はドライバトランジスタ $Q_1$ に比較して大きく設定される。このため、アクセストランジスタ $Q_3$ で

ジンの大きくなる。よって、アクセストランジスタ $Q_1$ のチャネル領域に注入される不純物濃度ピークを比較的浅い位置に設定しても、基板の比較的深部で生じるパンチスルーの発生は抑えられる。

【0124】次に、図20に示す不純物濃度分布を有するアクセストランジスタおよびドライバトランジスタの製造方法について説明する。

【0125】図22(a)、(b)～図24(a)、(b)は、本発明の第2の実施例におけるSRAMのメモリセルに採用されるアクセストランジスタおよびドライバトランジスタの製造方法を工程順に示す概略断面図である。

【0126】まず図22(a)と(b)を参照して、アクセストランジスタ領域(a)のp型ウェル20上にフォトレジスト51dが形成される。このフォトレジスト51dをマスクとしてドライバトランジスタ領域(b)のp型ウェル20に注入エネルギー50keVで不純物が注入される。この後フォトレジスト51dが除去される。

【0127】図23(a)と(b)を参照して、ドライバトランジスタ領域(b)のp型ウェル20上にフォトレジスト51eが形成される。このフォトレジスト51eをマスクとしてアクセストランジスタ領域(a)のp型ウェル20に注入エネルギー20keVで不純物が注入される。この後フォトレジスト51eが除去される。

【0128】図24(a)と(b)を参照して、p型ウェル20上にゲート絶縁膜27を介在して各々ゲート電極21および23が形成される。これらのゲート電極21、23などをマスクとして不純物が注入されることによりソース/ドレイン領域25d、26a、26bが形成される。これにより、本実施例のアクセストランジスタ $Q_1$ およびドライバトランジスタ $Q_2$ が形成される。

【0129】なお、上記の実施例においてはアクセストランジスタ $Q_1$ とドライバトランジスタ $Q_2$ を例に挙げて説明したが、アクセストランジスタ $Q_1$ 、ドライバトランジスタ $Q_1$ にこの構成を適用してもよい。

#### 【0130】実施例3

次に、本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの構成について説明する。

【0131】図25(a)、(b)は、本発明の第3の実施例におけるSRAMのメモリセル構造を各々基板表面の下層から順に2段階に分割して示した概略平面図である。具体的には、図25(a)が、基板に形成されたドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ の構成を示しており、図25(b)が、負荷トランジスタ $Q_5$ 、 $Q_6$ の構成を示している。また図26(a)は、図25(a)、(b)のC-C線に沿う概略断面図であり、図26(b)は、図25(a)、(b)のD-D線に沿う概略断面図である。

【0132】図25と図26を参照して、本発明の第3の実施例におけるSRAMのメモリセル構造では、p型ウェル20の主表面に一对のドライバトランジスタ $Q_1$ 、 $Q_2$ と一对のアクセストランジスタ $Q_3$ 、 $Q_4$ が形成されている。ドライバトランジスタ $Q_1$ は、ドレイン領域25aおよびソース領域25bとゲート電極24とを有している。ドライバトランジスタ $Q_2$ は、ドレイン領域26aおよびソース領域26bとゲート電極23とを有している。またドライバトランジスタ $Q_1$ と $Q_2$ のゲート電極24と23の下層には各々ゲート絶縁膜27が形成されている。

【0133】またアクセストランジスタ $Q_3$ は、一对のソース/ドレイン領域25dとゲート電極21とを有している。アクセストランジスタ $Q_4$ は、一对のソース/ドレイン領域26dとゲート電極22とを有している。またアクセストランジスタ $Q_3$ と $Q_4$ は、ゲート電極21と22の下層に各々ゲート絶縁膜27を有している。

【0134】これらのトランジスタは、p型ウェル20の主表面に形成されたソース/ドレイン領域を有するn型MOSトランジスタで構成されている。ドライバトランジスタ $Q_2$ のゲート電極23は、コンタクト部23aを通じてアクセストランジスタ $Q_3$ のソース/ドレイン領域25dの一方と、かつドライバトランジスタ $Q_1$ のドレイン25aと接続されている。ドライバトランジスタ $Q_1$ のゲート電極24は、コンタクト部24aを通じてアクセストランジスタ $Q_4$ のソース/ドレイン領域26dの一方と、かつドライバトランジスタ $Q_2$ のドレイン領域26aと接続されている。

【0135】また、一对の負荷トランジスタ $Q_5$ 、 $Q_6$ は、2層の多結晶シリコン膜41および42が所望の形状に積層して形成されることによって形成されている。第1の多結晶シリコン膜41は、所定の幅を有して延びる帯状部分41mと41nとを有している。また、第2の多結晶シリコン膜42は、所定の幅を有して延びる帯状部分42mと42nとを有している。負荷トランジスタ $Q_5$ は、第1の多結晶シリコン膜41の帯状部分41nにチャネル領域41cを挟んで形成されたドレイン領域41aおよびソース領域41bと、第2の多結晶シリコン膜42の帯状部分42mにチャネル領域41cと対向するように形成されたゲート部42aとを有している。また負荷トランジスタ $Q_6$ は、第2の多結晶シリコン膜42の帯状部分42nにチャネル領域42cを挟んで形成されたドレイン領域42aおよびソース領域42bと、第1の多結晶シリコン膜41の帯状部分41mにチャネル領域42cと対向するように形成されたゲート部41aとを有している。

【0136】また負荷トランジスタ $Q_5$ のゲート部となる部分42aは、負荷トランジスタ $Q_6$ のドレイン領域42aと一体的に接続されている。また負荷トランジスタ $Q_6$ のゲート部となる部分41aは、負荷トランジスタ

タ $Q_3$ のドレイン領域41aと一体的に接続されている。さらに負荷トランジスタ $Q_3$ のドレイン領域41aはコンタクトホール41dを通じて下層にあるドライバトランジスタ $Q_1$ のゲート電極24に接続されている。また負荷トランジスタ $Q_3$ のドレイン領域42aは、コンタクトホール42dを通じて下層にあるドライバトランジスタ $Q_2$ のゲート電極23に接続されている。このように、負荷トランジスタ $Q_3$ は、いわゆるトップゲート型の薄膜トランジスタを構成し、かつ負荷トランジスタ $Q_3$ はいわゆるボトムゲート型の薄膜トランジスタを構成している。

【0137】上記のドライバトランジスタ $Q_1$ 、 $Q_2$ およびアクセストランジスタ $Q_3$ 、 $Q_4$ と薄膜トランジスタ $Q_3$ 、 $Q_4$ との中間層には、GNDラインとなるタングステンシリサイド層35が形成されている。

【0138】以下、図25および図26に示すSRAMのメモリセル構造に採用される負荷トランジスタの製造方法について図26(a)および(b)に対応する断面図を用いて説明する。

【0139】図27(a)～図31(a)と図27(b)～図31(b)とは、各々本発明の第3の実施例におけるSRAMのメモリセルに採用される負荷トランジスタの製造方法を工程順に示す図26(a)と(b)に対応する断面で示す概略断面図である。

【0140】まず図27(a)と(b)を参照して、p型ウェル20の主表面にドライバトランジスタ $Q_1$ 、 $Q_2$ とアクセストランジスタ $Q_3$ 、 $Q_4$ とその上層にタングステンシリサイド層35とが形成される。p型ウェル20の表面を覆うように絶縁膜53が形成される。この後、写真製版およびエッチングによって絶縁膜にコンタクトホール41dが形成される。このコンタクトホール41dからはドライバトランジスタ $Q_1$ のゲート電極24の一部表面が露出する。

【0141】図28(a)と(b)を参照して、絶縁膜53の表面上に第1の多結晶シリコン膜41が堆積される。この第1の多結晶シリコン膜41は、コンタクトホール41dを通じてドライバトランジスタ $Q_1$ のゲート電極24と接触する。この後、500～700℃で1～24時間程度のアニールが行なわれ、第1の多結晶シリコン膜41のグレインが成長させられる。その後、第1の多結晶シリコン膜41が写真製版およびエッチングによりパターニングされる。このパターニングを行なった後、負荷トランジスタ $Q_3$ のゲートとなる多結晶シリコン膜の部分に不純物の注入が行なわれる。なお、上記のアニールは、第1の多結晶シリコン膜41をパターニングした後に行なってもよい。

【0142】図29(a)と(b)を参照して、ゲート絶縁膜となる絶縁膜54がウェハ全面に堆積される。この後、写真製版およびエッチングによって、コンタクト

dからは、ドライバトランジスタ $Q_2$ のゲート電極23の一部表面が露出する。

【0143】図30(a)と(b)を参照して、ウェハ全面に第2の多結晶シリコン膜42が形成される。この第2の多結晶シリコン膜42は、コンタクトホール41dを通じてドライバトランジスタ $Q_2$ のゲート電極23と接触する。この後、500～700℃で1～24時間程度のアニールが行なわれ、第2の多結晶シリコン膜42のグレインが成長させられる。その後、第2の多結晶シリコン膜42は写真製版およびエッチングによりパターニングされる。なお、上記のアニールは、第2の多結晶シリコン膜42のパターニング後に行なってもよい。

【0144】図31(a)と(b)を参照して、負荷トランジスタ $Q_3$ のチャネル領域になる部分42c上を覆うフォトレジスト51fが形成される。この後、ウェハ全面に不純物の注入が行なわれ、第1の多結晶シリコン膜41にはチャネル領域41cを挟んでドレイン領域41aおよびソース領域41bが形成される。また、第2の多結晶シリコン膜42には、チャネル領域42cを挟んでドレイン領域42aおよびソース領域42bが形成される。このように、負荷トランジスタ $Q_3$ 、 $Q_4$ のソース/ドレイン領域が同時に形成される。

【0145】なお、上記の製造工程においてゲート絶縁膜となる絶縁膜54を600℃以下の低温で形成できる場合、多結晶シリコン膜のグレインを成長させるアニールは、第2の多結晶シリコン膜42を堆積させた後に一度行なうだけでもよい。

【0146】この後、フォトレジスト51fが除去されることにより図26(a)と(b)に示す負荷トランジスタ $Q_3$ 、 $Q_4$ が形成される。

【0147】上記の図25(b)に示す負荷トランジスタ $Q_3$ 、 $Q_4$ の構成においては、負荷トランジスタ $Q_3$ がトップゲート型、負荷トランジスタ $Q_4$ がボトムゲート型の薄膜トランジスタを構成している。また一方のトランジスタのドレイン領域が他方のトランジスタのゲート電極を併用している。このため、図43(b)に示した従来の負荷トランジスタのように双方ともトップゲート型もしくはボトムゲート型となる場合に比較して、写真製版技術における加工寸法の制約が少ない。

【0148】すなわち、第1の多結晶シリコン膜41と第2の多結晶シリコン膜42とは異なる層に形成されている。このため、第1と第2の多結晶シリコン膜41、42の間の寸法 $L_1$ 、 $L_2$ は写真製版技術による加工寸法の制約を受けることがない。よって、第1と第2の多結晶シリコン膜41、42の間の寸法 $L_1$ と $L_2$ は写真製版による最小加工寸法(約0.35μm)よりも小さくすることができる。したがって、本実施例の負荷トランジスタ $Q_3$ 、 $Q_4$ の構成であれば、負荷トランジスタ $Q_3$ 、 $Q_4$ の平面占有面積を小さくすることが可能とな

ことが可能となる。

【0149】さらに本実施例の負荷トランジスタ $Q_3$ 、 $Q_4$ の構成では、図32に示すように第1の多結晶シリコン膜41の帯状部分41nと第2の多結晶シリコン膜42の帯状部分42mとが交差し、トップゲート型の負荷トランジスタを構成している。このトップゲート型の負荷トランジスタ $Q_3$ では、ゲート電極となる帯状部分42mをマスクとして下層の半導体層41に不純物が注入される。このため、この不純物注入により形成されるチャネル領域41cにおいては、そのチャネル長およびチャネル幅は、上下に交差する帯状部分41、42の各幅によって規定される。またこの交差する各帯状部分42m、41nは、所定の幅を有して延びるように形成されている。よって、図32に示すようにマスクの重ね合わせずれなどにより各帯状部分41、42が所定の位置からずれて形成されても、トップゲート型負荷トランジスタ $Q_3$ におけるチャネル長およびチャネル幅の寸法は変わらない。それゆえ、各帯状部分42m、41nの幅を決定することで所望の特性を有するトップゲート型の負荷トランジスタ $Q_3$ を容易に得ることができる。したがって、動作時において安定した動作を得ることができる。

【0150】加えて、第1の多結晶シリコン膜41と第2の多結晶シリコン膜42は平面的に見て点対称に配置されている。このため、本実施例のSRAMのメモリセル構造は以下に述べる利点を有している。

【0151】一般に、一对の負荷トランジスタ $Q_3$ 、 $Q_4$ には同じ性能が要求される。図42の等価回路図を参照して、たとえば記憶ノード114を“High”、記憶ノード115を“Low”とすれば、記憶ノード114のHighレベル側電位は、読出および書込時に下がる。このため、ワード線109が閉じた後（メモリセルが非選択とされた後）、Highレベル側のノード電位がVccへ上昇する。しかし、負荷トランジスタ $Q_3$ と $Q_4$ のON電流（ON状態で流れる電流）が異なると、記憶ノード114がHighのときに記憶ノード114の電位がVccへ上昇する時間と、記憶ノード115がHighのときに記憶ノード115の電位がVccへ上昇する時間が異なる。ソフトエラーは、一般に記憶ノードのHighレベル側電位が高いほど起きにくいので、記憶ノード114と115のVccへの上昇時間が異なるとソフトエラー率がデータによって（記憶ノード114と115のどちらがHighかで）異なってしまうという弊害が生ずる。

【0152】また、図42の等価回路図を参照して、一般にスタンバイ時（アドレス選択していないとき）のメモリセルのリーク電流（チップ全体ではスタンバイ電流という）は、負荷トランジスタ $Q_3$ 、 $Q_4$ のOFF電流（OFF状態で流れてしまう電流）で決まる。これは、基板に形成されたドライバトランジスタ $Q_1$ 、 $Q_2$ に比

べ薄膜トランジスタよりなる負荷トランジスタ $Q_3$ 、 $Q_4$ のほうがOFF電流が大きくなるからである。このため、記憶ノード114を“High”、記憶ノード115を“Low”とすれば、メモリセルのリーク電流は記憶ノード115（Lowレベル）側の薄膜トランジスタ $Q_4$ のOFF電流で決まるといえる。よって、記憶ノード115がLowのときの薄膜トランジスタ $Q_4$ のOFF電流と、記憶ノード114がLowのときの薄膜トランジスタ $Q_3$ のOFF電流とが異なると、メモリセルのリーク電流が記憶データ（記憶ノード114と115のどちらがHighかで）によって大きく変わってしまうという弊害を生ずる。

【0153】このように、一对の負荷トランジスタ $Q_3$ と $Q_4$ との性能が異なる場合には、そのON電流の差異によりソフトエラー率が、またOFF電流の差異によりメモリセルのリーク電流が各々変わってしまうという弊害を生ずる。このため、負荷トランジスタ $Q_3$ と $Q_4$ とは同じ性能が要求される。

【0154】しかしながら、たとえば図51に示すように下層と上層の多結晶シリコン膜の形状が非対称であると、上述したようにマスクの重ね合せずれなどにより容易にチャネル領域の寸法が変化してしまう。このため、図51に示す負荷トランジスタのごとく第1と第2の多結晶シリコン層が非対称に配置されている場合には、一对の負荷トランジスタ $Q_3$ 、 $Q_4$ を同一性能にすることは困難であり上記の弊害が生ずる原因となってしまう。

【0155】これに対して、本実施例の負荷トランジスタ $Q_3$ 、 $Q_4$ では、トランジスタを構成する2層の多結晶シリコン膜41と42が点対称に配置されている。このため、一方の多結晶シリコン層の寸法を定めることにより、2つのトランジスタ $Q_3$ 、 $Q_4$ のチャネル領域を同一寸法に設定することが容易となる。また、マスクの重ね合せずれが生じた場合でも、2層の多結晶シリコン層41と42が対称の形状を有していれば、一对の負荷トランジスタ $Q_3$ 、 $Q_4$ のチャネル領域41c、42cの寸法は同一に維持されやすい。よって、ソフトエラー率やメモリセルのリーク電流が異なるという弊害は抑制され得る。

#### 【0156】実施例4

次に、本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタについて説明する。

【0157】図33は、本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの構成を概略的に示す平面図である。また図34

(a)と(b)は、図33のE-E線とF-F線に沿う概略断面図である。

【0158】図33と図34(a)、(b)を参照して、一对の負荷トランジスタは、第1と第2の多結晶シリコン層46、47により構成される。すなわち、第1

の多結晶シリコン膜46の帯状部分46mにチャネル領域46cを挟んで形成されたドレイン領域46aおよびソース領域46bと、第2の多結晶シリコン膜47の帯状部分47mに形成されたゲートとなる部分47cとを有している。他方の負荷トランジスタは、第2の多結晶シリコン膜47の帯状部分47mにチャネル領域47cを挟んで形成されたドレイン領域47aおよびソース領域47bと、第1の多結晶シリコン膜46の帯状部分46mに形成されたゲートとなる部分46cとを有している。このように一方の負荷トランジスタは、トップゲート型、他方の負荷トランジスタはボトムゲート型の薄膜トランジスタを構成している。また、一对の負荷トランジスタの各チャネル領域46cと47cとが、相互に他方のトランジスタのゲート電極部となっている。

【0159】なお、第1の多結晶シリコン膜46のドレイン領域46aは、コンタクトホール46dを通じて一方のドライバトランジスタのゲート電極（図示せず）に接続されている。また、第2の多結晶シリコン膜47のドレイン領域47aは、コンタクトホール47dを通じて他方のドライバトランジスタのゲート電極（図示せず）に接続されている。

【0160】なお、図34においては、ドライバトランジスタやアクセストランジスタなどの記載は省略してある。ただし、ドライバトランジスタやアクセストランジスタの構成については、図25(a)に示した構成を用いることも可能である。

【0161】次に、図33と図34に示す一对の負荷トランジスタの製造方法について図34(a)、(b)に対応した断面を用いて説明する。

【0162】図35(a)～図39(a)と図35

(b)～図39(b)は、本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法を工程順に示す図34(a)と(b)とに対応する概略断面図である。

【0163】まず図35(a)と(b)を参照して、基板を含む下層20aの表面全面に絶縁膜56aが形成される。この絶縁膜56aに写真製版およびエッチングによりコンタクトホール46dが形成される。このコンタクトホール46dからは、一方のドライバトランジスタのゲート電極（図示せず）の一部表面が露出する。

【0164】図36(a)と(b)を参照して、絶縁膜56aの表面全面に第1の多結晶シリコン膜46が形成される。この第1の多結晶シリコン膜46は、コンタクトホール46dを通じて一方のドライバトランジスタのゲート電極（図示せず）に接触する。この後、第1の多結晶シリコン膜46に500～700℃で1～24時間程度のアニールが行なわれ、第1の多結晶シリコン膜46のグレインが成長させられる。その後、第1の多結晶シリコン膜46は写真製版およびエッチングによりパターニングされる。なお、上記のアニールは、第1の多結

晶シリコン膜46をパターニングした後に行なってもよい。

【0165】図37(a)と(b)を参照して、第1の多結晶シリコン膜46の表面上を被覆するようにウェハ全面に絶縁膜56bが形成される。この絶縁膜56a、56bよりなる絶縁膜56に写真製版およびエッチングによりコンタクトホール47dが形成される。このコンタクトホール47dからは、他方のドライバトランジスタのゲート電極（図示せず）の一部表面が露出する。

【0166】図38(a)と(b)を参照して、絶縁膜56の表面全面に第2の多結晶シリコン膜47が堆積される。この第2の多結晶シリコン膜47は、コンタクトホール47dを通じて他方のドライバトランジスタのゲート電極（図示せず）と接触する。この後、第2の多結晶シリコン膜47に500～700℃で1～24時間程度のアニールが行なわれ、第2の多結晶シリコン膜47のグレインが成長させられる。その後、第2の多結晶シリコン膜47が、写真製版およびエッチングによりパターニングされる。なお、上記のアニールは、第2の多結晶シリコン膜47をパターニングした後に行なってもよい。

【0167】図39(a)と(b)を参照して、第2の多結晶シリコン膜47のチャネル領域となる部分47c上にフォトリソ51gが形成される。このフォトリソ51gをマスクとして不純物が注入されることにより、ボトムゲート型およびトップゲート型的一对の負荷トランジスタのソース／ドレイン領域が同時に形成される。すなわち、この不純物注入により、チャネル領域47cを挟んでドレイン領域47aおよびソース領域47bと、チャネル領域46cを挟んでドレイン領域46aおよびソース領域46bとが形成される。この後、フォトリソ51gが除去されることによって図34に示す薄膜トランジスタよりなる一对の負荷トランジスタが形成される。

【0168】本実施例の負荷トランジスタの構成は、一对の負荷トランジスタの一方がボトムゲート型、他方がトップゲート型の薄膜トランジスタより構成されている。また、一方のトランジスタのチャネル領域が相互に他方のトランジスタのゲート電極を併用している。このため、図43(b)に示す一对の負荷トランジスタの双方がトップゲート型もしくはボトムゲート型の構成に比較して写真製版の加工寸法による制約が少ない。

【0169】また、一对の負荷トランジスタのチャネル領域46c、47cが互に対向し、一方が他方のゲート電極となる構成を有している。このため、図25

(b)に示す第1の実施例の構成に比較して第1と第2の多結晶シリコン膜46、47の交差する領域が1つでよい。これらのことより、一对の負荷トランジスタの平面占有面積を縮小化することができる。したがって、高集積化に適したSRAMのメモリセル構造を得ることが

可能となる。

【0170】また本実施例の負荷トランジスタの構成では、第1と第2の多結晶シリコン膜46、47の交差する領域にチャンネル領域46cと47cとが形成されている。このため、各チャンネル領域46c、47cのチャンネル長およびチャンネル幅は帯状部分46mと47mの幅によって規定される。それゆえ、マスクの重ね合せずれにより第1の多結晶シリコン膜46に対して第2の多結晶シリコン膜47がずれたとしても、帯状部分46mと47mの幅により規定されるチャンネル領域46c、47cのチャンネル長およびチャンネル幅の寸法が変わることはない。よって、所望の特性を有する負荷トランジスタを容易に得ることが可能となる。したがって、その動作時において安定した動作を確保することが可能となる。

【0171】一般に多結晶シリコン膜を堆積した場合、多結晶シリコン膜の下面と上面では下面のほうが上面に比べて粗面となる。すなわち、図34(a)を参照して、一般に第2の多結晶シリコン膜47の下面47caは上面47cbに比べて粗面となる。このため、図34(a)に示すボトムゲート型のように多結晶シリコン膜47の下面47ca近傍をチャンネル領域として用いるトランジスタでは、チャンネルの表面領域47caが粗面であることに起因する散乱などにより、チャンネル領域47cを流れる電子の移動度が低くなる。よって、一般にボトムゲート型はトップゲート型に比べて性能が悪くなる。

【0172】そこで、本発明の第3および第4の実施例では、ボトムゲート型トランジスタの性能を上げるため、このトランジスタのチャンネル領域47cが形成される上層の多結晶シリコン膜47の膜厚を厚くしている。具体的には、下層の多結晶シリコン膜46の膜厚が1500Åであるのに対して、上層の多結晶シリコン膜47の膜厚は2000Åである。上層の多結晶シリコン膜47の膜厚を厚くしたことにより、チャンネル領域47cを移動する電子が下層表面47caの凹凸により受ける影響は小さくなる。すなわち、粗面の影響を受ける電子の割合が減り、電子の移動度の低下も抑制される。

#### 【0173】実施例5

次に、本発明の第5の実施例におけるSRAMのメモリセル構造をより一層微細化できる負荷トランジスタの構成について説明する。

【0174】図40は、図43(b)に示す負荷トランジスタの構成からゲート電極を省略して示す概略平面図である。図40を参照して、従来点線で囲む領域(すなわち1つのメモリセルの領域)には、斜線で示すVcc配線領域143bが2本ずつ配置されていた。

【0175】図41は、本発明の第5の実施例におけるSRAMのメモリセルに採用される負荷トランジスタの構成を概略的に示す平面図である。図41を参照して、本実施例においては、点線で囲まれる領域(1つのメモ

リセルの領域)に斜線で示すVcc配線領域143aが1本ずつ配置するよう構成されている。このため、Vcc配線領域143aが点線で囲む領域において1本分不要となるため、その領域分だけメモリセル領域を縮小化することが可能となる。よって、高集積化に対応可能なSRAMのメモリセルに採用される負荷トランジスタの構成を得ることができる。

【0176】なお、本実施例においては、メモリセルを構成する一対の負荷トランジスタの双方がトップゲート型もしくはボトムゲート型のものについて説明したが、一対の負荷トランジスタの一方がトップゲート型、他方がボトムゲート型の構成のものにも適用することができる。

【0177】なお、上記の第1、第2、第3、第4および第5の実施例においては、負荷トランジスタを構成する半導体層として多結晶シリコン膜について説明したが、これに限られず、シリコン単結晶よりなる膜であってもよい。

【0178】上記の第1、第2、第3、第4および第5の実施例を組合せることにより、安定な読出動作を維持したまま高集積化に対応可能なSRAMのメモリセル構造を得ることが可能となる。

#### 【0179】

【発明の効果】請求項1に記載の半導体記憶装置においては、第1と第2の電界効果トランジスタでゲート絶縁膜の誘電率を変えたため、双方の電界効果トランジスタの電流駆動能力を変えることができる。したがって、駆動用トランジスタのゲート幅を大きくすることなく、メモリセルの目を大きくできるため、安定した読出動作を実現でき、かつ高集積化に適したSRAMのメモリセル構造を得ることができる。

【0180】また、第1と第2のゲート絶縁膜を同じ材質で膜厚を変えて駆動能力比を大きくする場合に比較して、ゲート絶縁膜の膜厚の制御が容易である。したがって、ゲート絶縁膜上方での写真製版技術によるパターンングも正確に行なうことができ、パターン形状の不良も生じ難い。

【0181】請求項2に記載の半導体記憶装置においては、一対の負荷トランジスタの一方はトップゲート型、他方はボトムゲート型のトランジスタを各々構成している。したがって、一対の負荷トランジスタの平面占有面積を小さくすることが可能となり、高集積化に適したSRAMのメモリセル構造を得ることが可能となる。

【0182】また、トップゲート型の一方の負荷トランジスタでは、ゲートをマスクとして下層の半導体層に不純物が注入される。これにより所望の特性を有するトップゲート型の負荷トランジスタを容易に得ることができる。したがって、動作時において安定した動作を得ることができる。

【0183】請求項4、5に記載の半導体記憶装置で



は、アクセストランジスタのチャネル領域の不純物濃度ピーク位置よりも深いところでは、アクセストランジスタのチャネル領域の不純物量はドライバトランジスタのチャネル領域の不純物量よりも少ない。したがって、基板バイアスが印加されても、メモリセルの面を大きく維持でき、読出動作を安定化できる。

【0184】請求項6に記載の半導体記憶装置においては、第1および第2の電界効果トランジスタでゲート絶縁膜の誘電率および膜厚を変えたため、双方の電界効果トランジスタの電流駆動能力を変えることができる。これにより、請求項1と同様、安定した読出動作を実現でき、かつ高集積化に適したSRAMのメモリセル構造を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるSRAMのメモリセル構造を概略的に示す断面図である。

【図2】図1の領域Aを拡大して示す概略断面図(a)、図1のB-B線に沿う概略断面図(b)である。

【図3】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第1工程を示す概略断面図である。

【図4】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第2工程を示す概略断面図である。

【図5】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第3工程を示す概略断面図である。

【図6】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第4工程を示す概略断面図である。

【図7】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第5工程を示す概略断面図である。

【図8】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第6工程を示す概略断面図である。

【図9】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタのゲート絶縁膜の材質を変えた場合の製造方法を示す概略断面図である。

【図10】図9に対応するアクセストランジスタとドライバトランジスタの構成を概略的に示す断面図である。

【図11】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタのゲート絶縁膜の材質を変えた場合の製造方法を示す概略断面図である。

メモリセル構造に採用されるアクセストランジスタとドライバトランジスタのゲート絶縁膜の材質を変えた場合の概略断面図である。

【図12】図11に対応するアクセストランジスタとドライバトランジスタの製造方法の第1工程を示す概略断面図である。

【図13】図11に対応するアクセストランジスタとドライバトランジスタの製造方法の第2工程を示す概略断面図である。

【図14】図11に対応するアクセストランジスタとドライバトランジスタの製造方法の第3工程を示す概略断面図である。

【図15】アクセストランジスタとドライバトランジスタとのゲート絶縁膜が各々単層よりなる場合の構成を示す概略断面図である。

【図16】本発明の第1の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタのゲート絶縁膜の材質を変えた場合の製造方法を示す概略断面図である。

【図17】図16に対応するアクセストランジスタとドライバトランジスタの構成を概略的に示す断面図である。

【図18】アクセストランジスタとドライバトランジスタの構成を概略的に示す断面図である。

【図19】図18(a)の $X_0 - X_1$ に沿う不純物濃度分布と図18(b)の $Y_0 - Y_1$ 線に沿う不純物濃度分布を示す比較例の図である。

【図20】図18(a)の $X_0 - X_1$ に沿う不純物濃度分布と図18(b)の $Y_0 - Y_1$ 線に沿う不純物濃度分布を示す本発明の第2の実施例の図である。

【図21】比較例に比較して本発明例のほうがバックゲート効果を受けた場合にしきい値電圧 $V_{th}$ が低くなることを説明するための図である。

【図22】本発明の第2の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第1工程を示す概略断面図である。

【図23】本発明の第2の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第2工程を示す概略断面図である。

【図24】本発明の第2の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタとドライバトランジスタの製造方法の第3工程を示す概略断面図である。

【図25】本発明の第3の実施例におけるSRAMのメモリセル構造に採用されるアクセストランジスタおよびドライバトランジスタと、負荷トランジスタとの構成を概略的に示す平面図(a)、(b)である。

【図26】図25(a)、(b)の各部分の拡大図である。

に沿う概略断面図(a)、(b)である。

【図27】本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第1工程を示す概略断面図である。

【図28】本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第2工程を示す概略断面図である。

【図29】本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第3工程を示す概略断面図である。

【図30】本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第4工程を示す概略断面図である。

【図31】本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第5工程を示す概略断面図である。

【図32】本発明の第3の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタにおける利点について説明するための図である。

【図33】本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの構成を概略的に示す平面図である。

【図34】図33のE-E線、F-F線に沿う概略断面図(a)、(b)である。

【図35】本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第1工程を示す概略断面図である。

【図36】本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第2工程を示す概略断面図である。

【図37】本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第3工程を示す概略断面図である。

【図38】本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第4工程を示す概略断面図である。

【図39】本発明の第4の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの製造方法の第5工程を示す概略断面図である。

【図40】従来の負荷トランジスタの2つのメモリセル領域分の構成を示す概略平面図である。

【図41】本発明の第5の実施例におけるSRAMのメモリセル構造に採用される負荷トランジスタの2つのメモリセル分の構成を概略的に示す平面図である。

【図42】一般的なSRAMの等価回路図である。

【図43】従来のSRAMのメモリセル構造に採用されるドライバトランジスタおよびアクセストランジスタと、負荷トランジスタとを示す概略平面図(a)、(b)である。

【図44】図43(a)、(b)のG-G線に沿う概略断面図である。

【図45】従来の負荷トランジスタを構成する薄膜トランジスタの断面構造図である。

【図46】図45に示した従来の負荷トランジスタを構成する薄膜トランジスタの特性図である。

【図47】従来のSRAMのメモリセルの読出動作を説明するための等価回路図である。

【図48】従来のメモリセルのデータの読出特性曲線を示す図である。

【図49】駆動能力比が大きくなった場合のメモリセルの目のようすを示すデータの読出特性曲線を示す図である。

【図50】アクセストランジスタのしきい値電圧 $V_{th}$ が低下した場合のメモリセルの目のようすを示すデータの読出特性曲線を示す図である。

【図51】他の公報に示された負荷トランジスタの構成を概略的に示す平面図である。

【図52】図51に示す負荷トランジスタにおいてマスクの重ね合せずれが生じた場合の弊害を説明するための図である。

【符号の説明】

21、22、23、24 ゲート電極

25a、26a ドレイン領域

25b、26b ソース領域

25d、26d ソース/ドレイン領域

27a、27c、27d、27e、27g、27h シリコン酸化膜

27b、27f シリコン窒化膜

27ba、27fa 絶縁膜

41、46 第1の多結晶シリコン膜

42、47 第2の多結晶シリコン膜

41a、42a、46a、47a ドレイン領域

41b、42b、46b、47b ソース領域

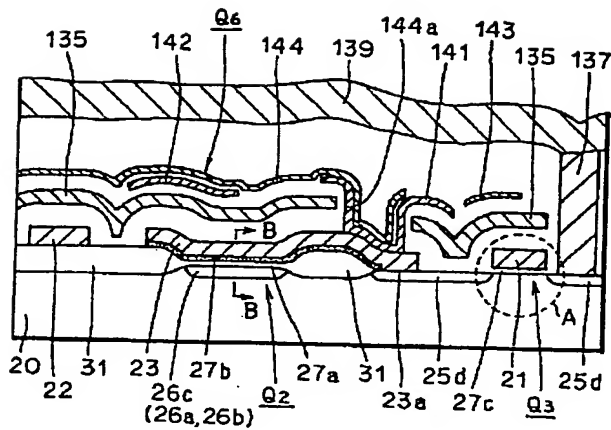
41c、42c、46c、47c チャネル領域

$Q_1$ 、 $Q_2$  ドライバトランジスタ

$Q_3$ 、 $Q_4$  アクセストランジスタ

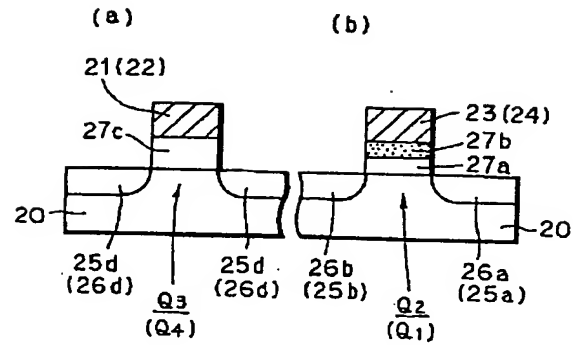
$Q_5$ 、 $Q_6$  負荷トランジスタ

【図1】



21, 23: ゲート電極  
 25d: ソース/ドレイン領域  
 26a: ドレイン領域  
 26b: ソース領域  
 27a, 27c: シリコン酸化膜  
 27b: シリコン窒化膜  
 Q2: ドライバトランジスタ  
 Q3: アクセストランジスタ

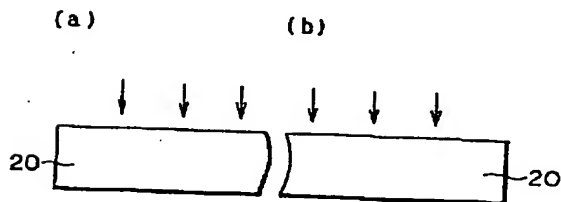
【図2】



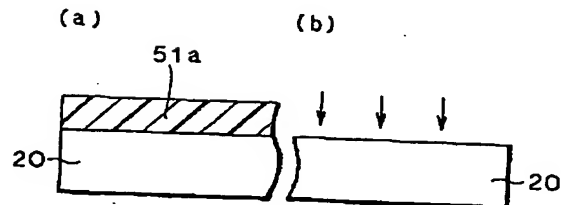
22, 24: ゲート電極  
 25a: ドレイン領域  
 25b: ソース領域

26d: ソース/ドレイン領域  
 Q1: ドライバトランジスタ  
 Q4: アクセストランジスタ

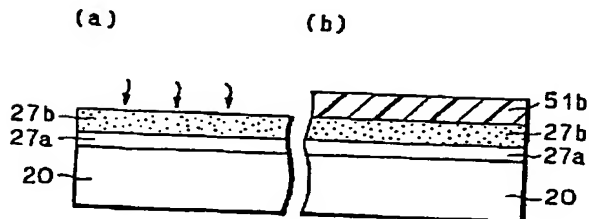
【図3】



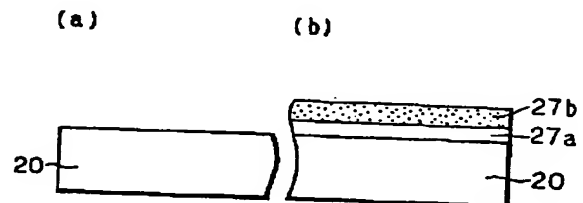
【図4】



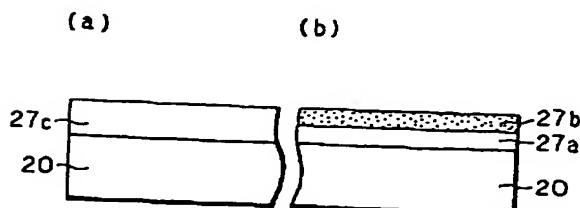
【図5】



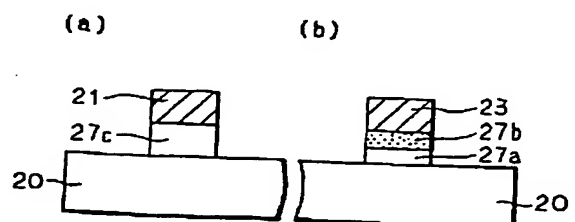
【図6】



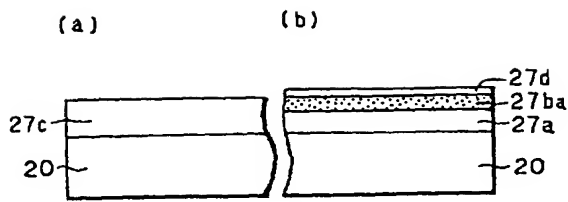
【図7】



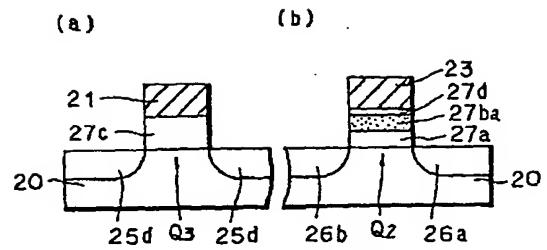
【図8】



【図9】

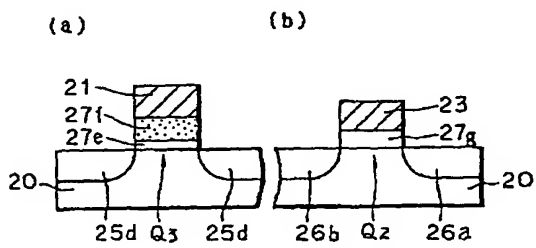


【図10】



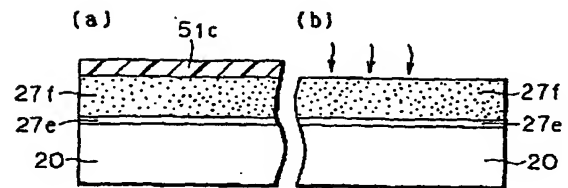
27ba: 絶縁膜  
27d: シリコン酸化膜

【図11】

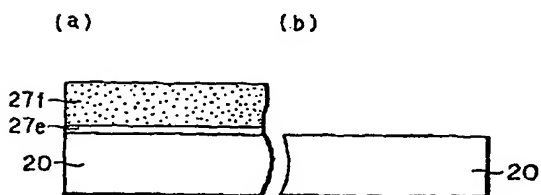


27e, 27g: シリコン酸化膜  
27f: シリコン窒化膜

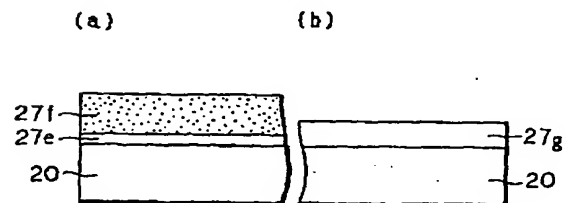
【図12】



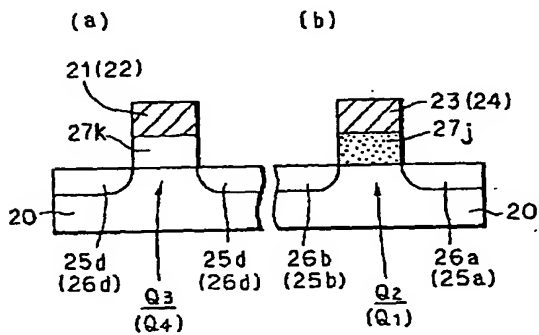
【図13】



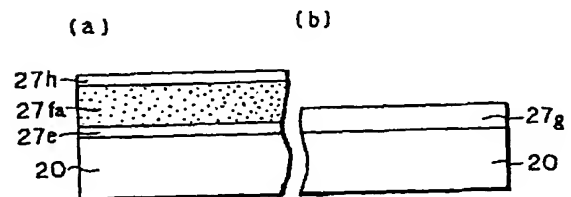
【図14】



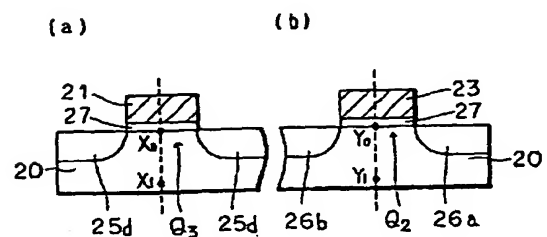
【図15】



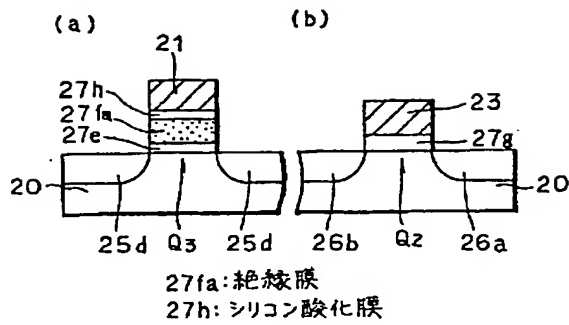
【図16】



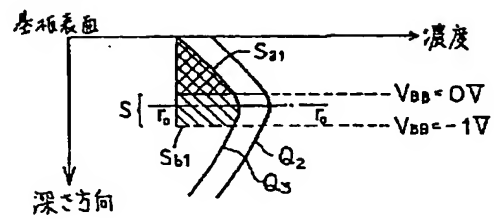
【図18】



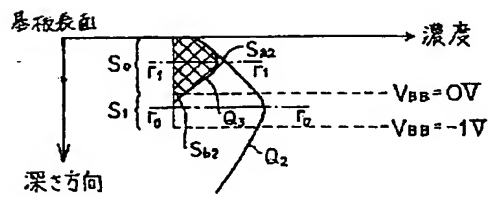
【図17】



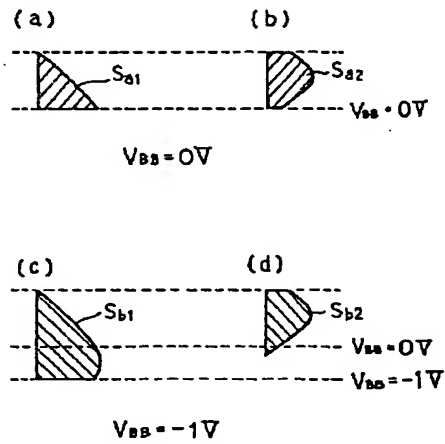
【図19】



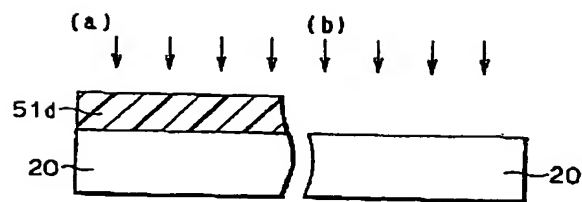
【図20】



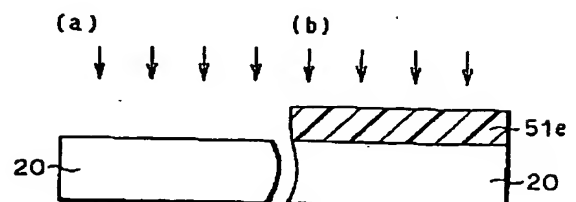
【図21】



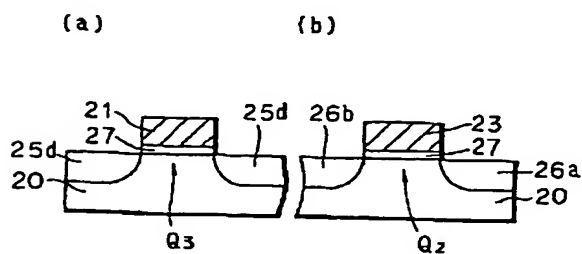
【図22】



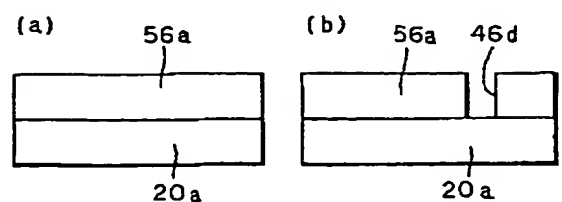
【図23】



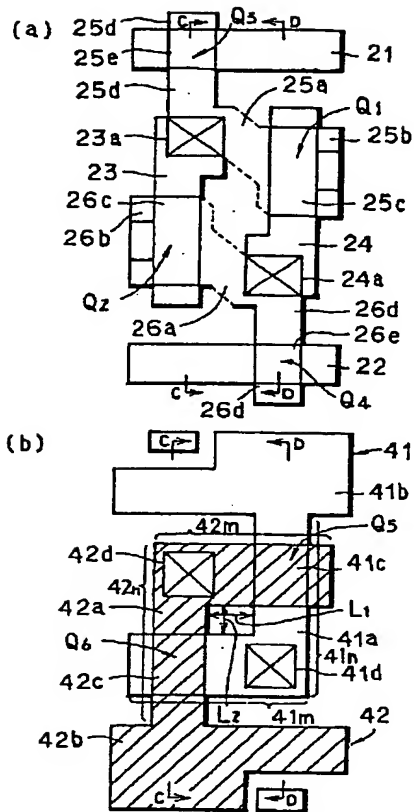
【図24】



【図35】

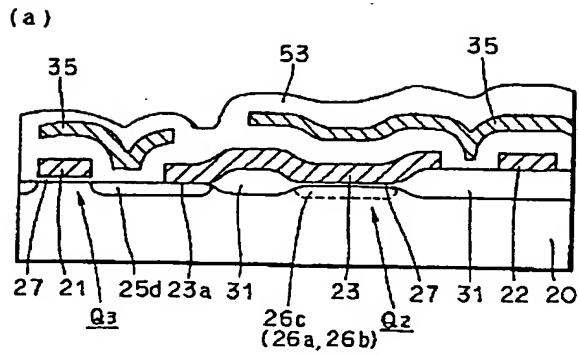


【図25】

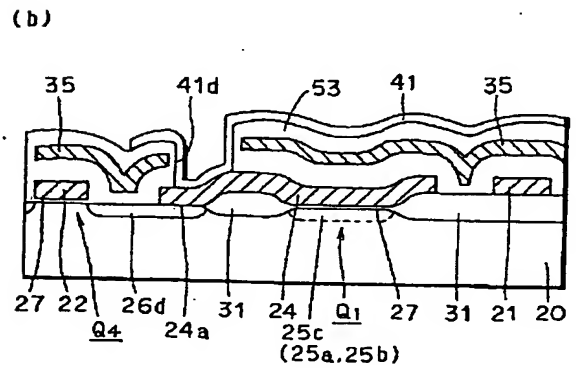
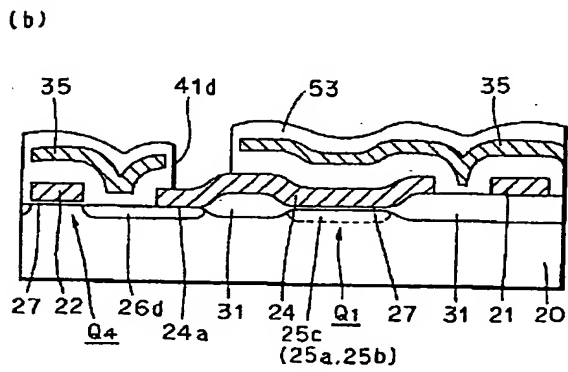
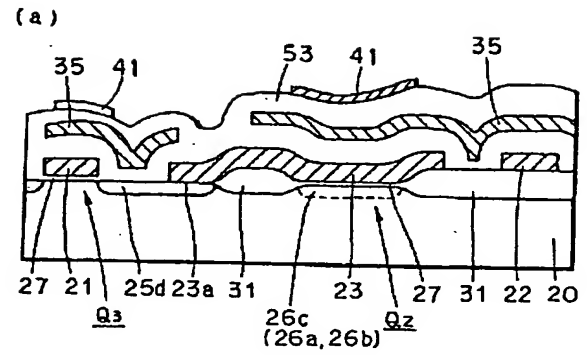




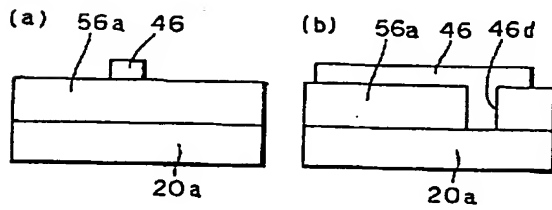
【図27】



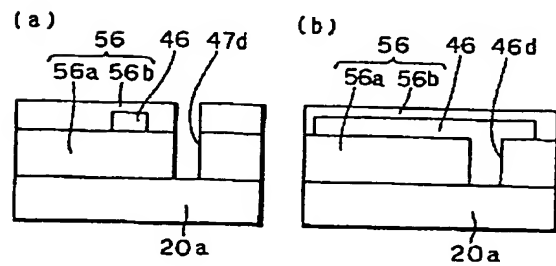
【図28】



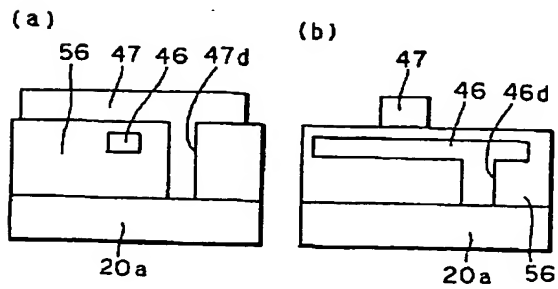
【図36】



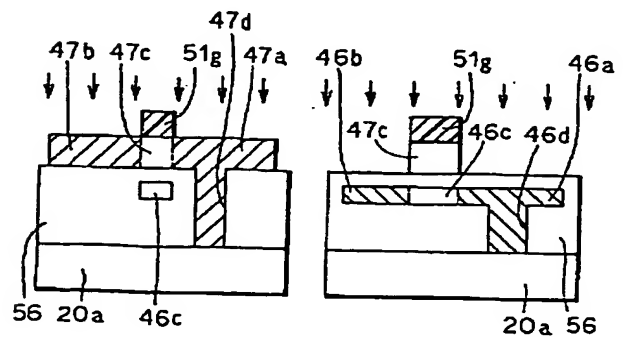
【図37】



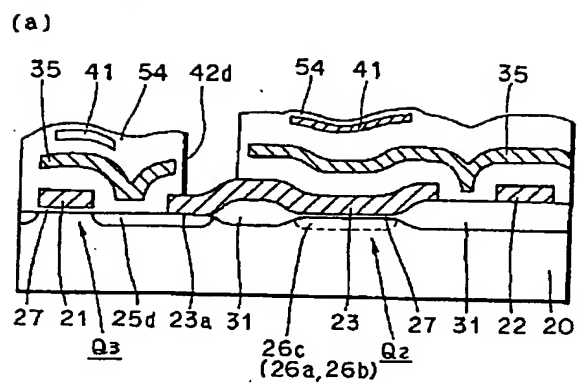
【図38】



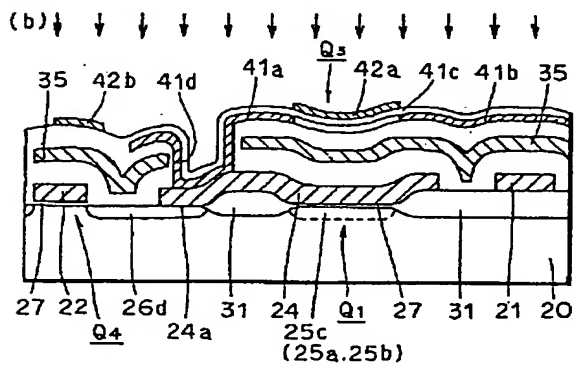
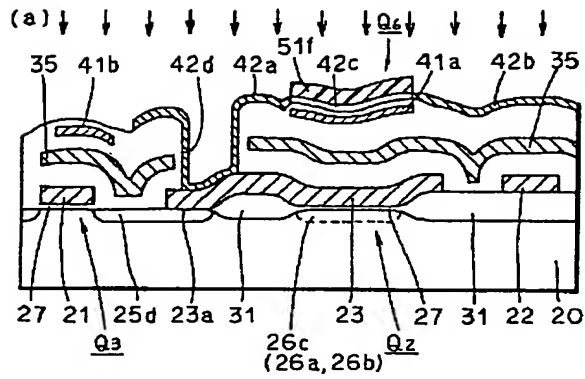
【図39】



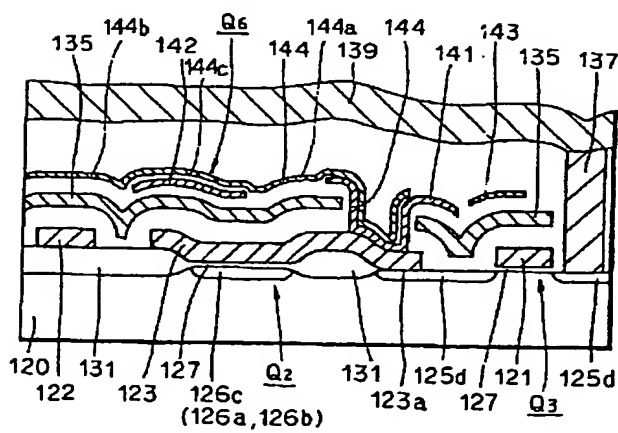
【图 29】



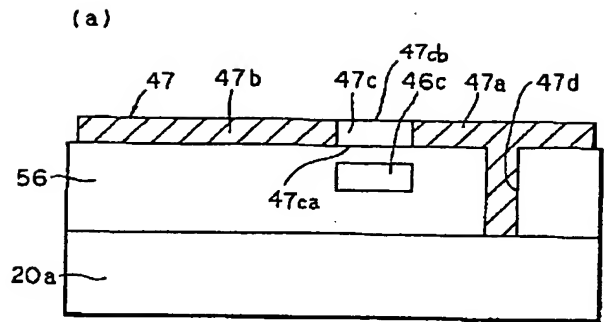
【図31】



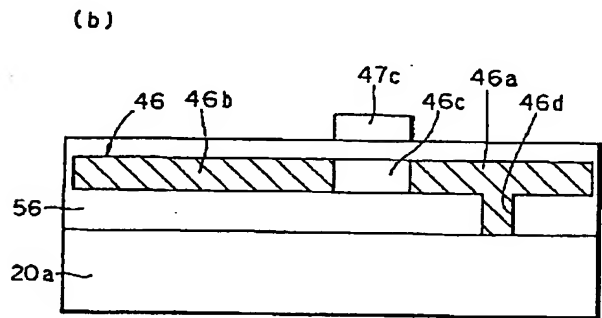
【図44】



【図34】

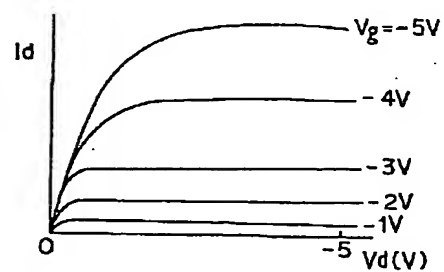


47a:ドレイン領域 47b:ソース領域  
47c:チャネル領域(ゲート電極)

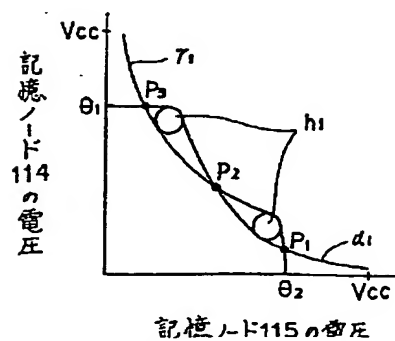


46a:ドレイン領域 46b:ソース領域  
46c:チャネル領域(ゲート電極)

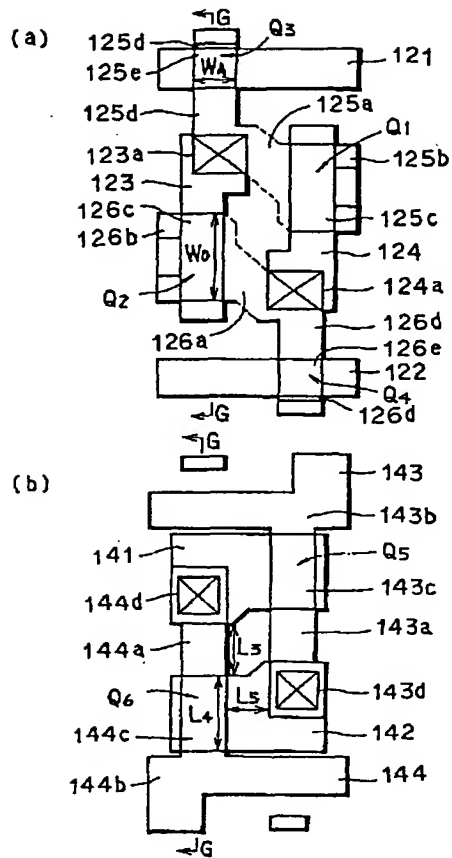
【図46】



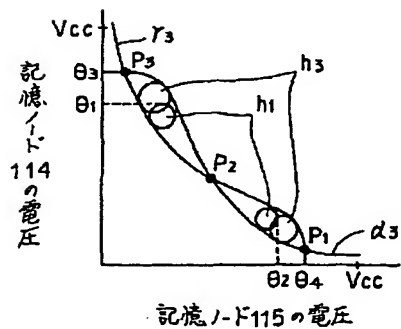
【図48】



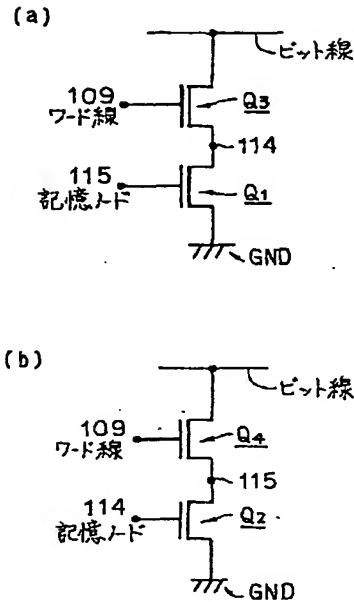
【図43】



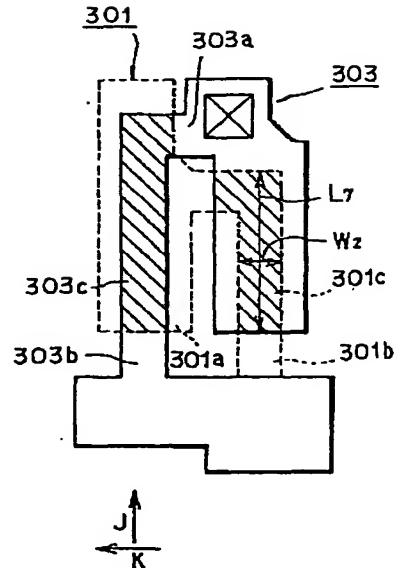
【図50】



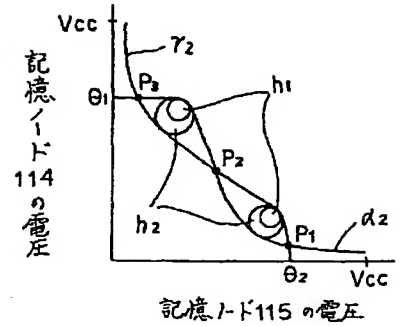
【図47】



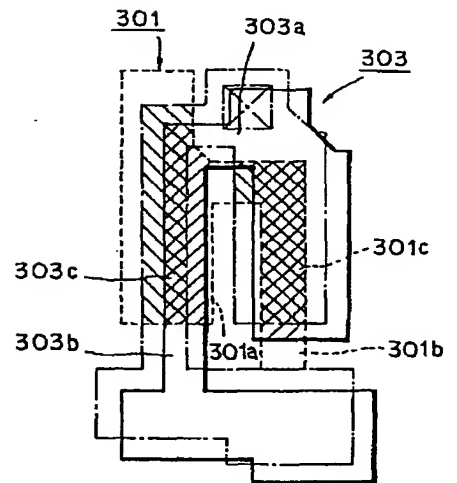
【図51】



【図49】



【図52】



(30)

特開平6-295999

フロントページの続き

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
		9056-4M	H O 1 L 29/78	3 1 1 C

(72)発明者 河野 芳雄  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内